

Meeting

13/06/2017

Yasunori Sawada

Osaka Univ. M2

Current Status Reports

- FE-I4 Readout
 - HW :
 - 変換基板が完成
 - ほぼ動作確認済み
 - FW :
 - 可読性改善、無意味な配線の削除、修正
 - コマンド信号が出ない
 - デバッグ中

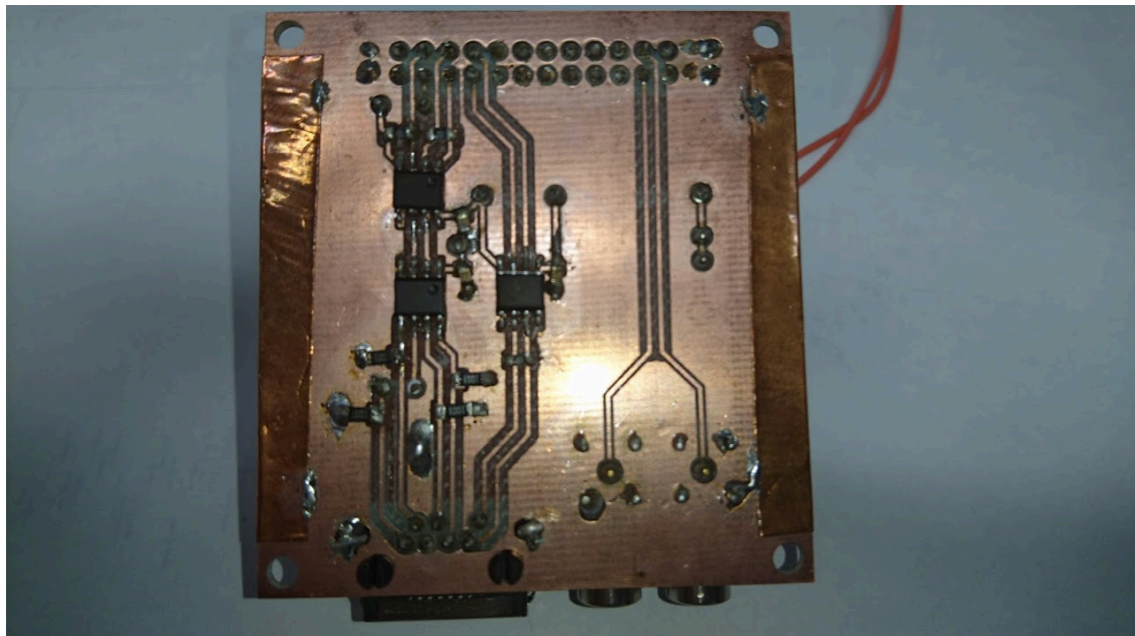
変換基板

最初に作った基板はLVDSからSLVSに変換できていなかった

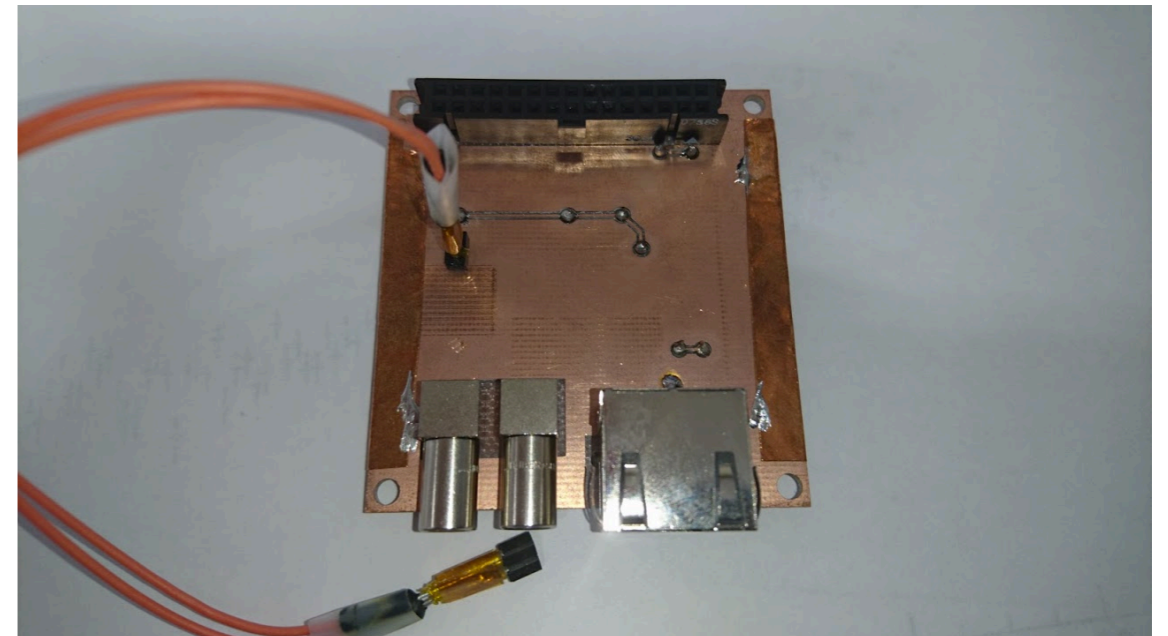
ICも1個死んでいた

→ 作り直した

表



裏



LVDS → LVCMOS → LVDS → SLVSの変換順

変換基板の動作テスト

- 出力側(FPGA→FEI4)

差動信号のオフセット電圧が0Vだった問題

→ オシロとつないでいるRJ45⇔LEMO変換基板とSLVS⇔LVDS変換基板のGNDの不一致が原因

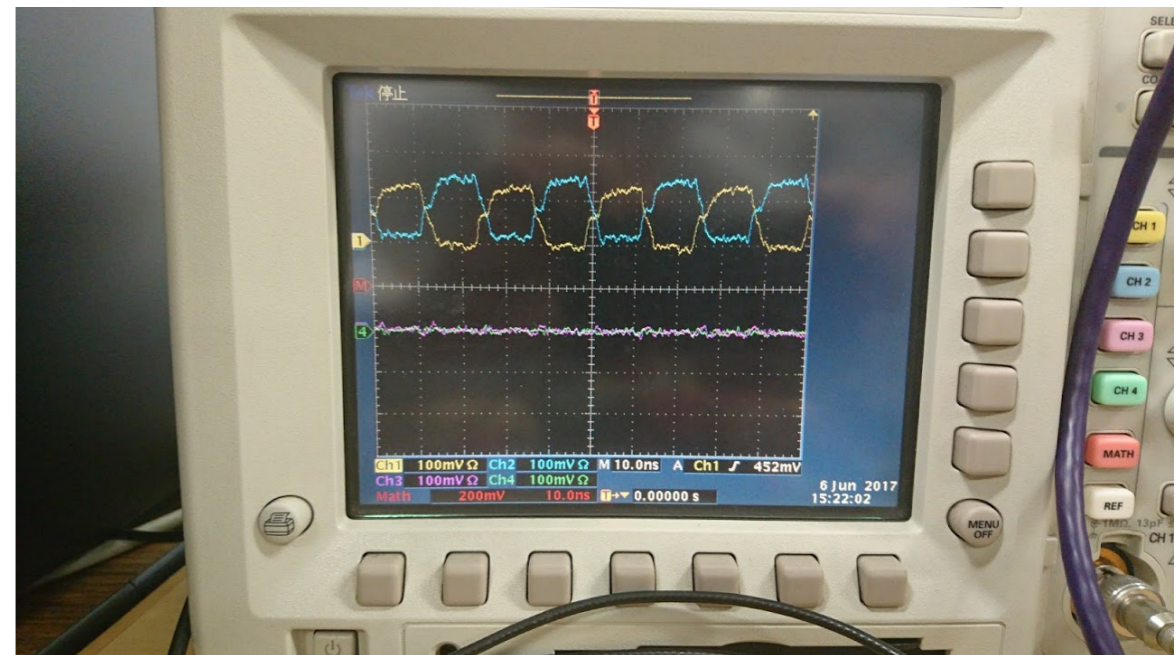
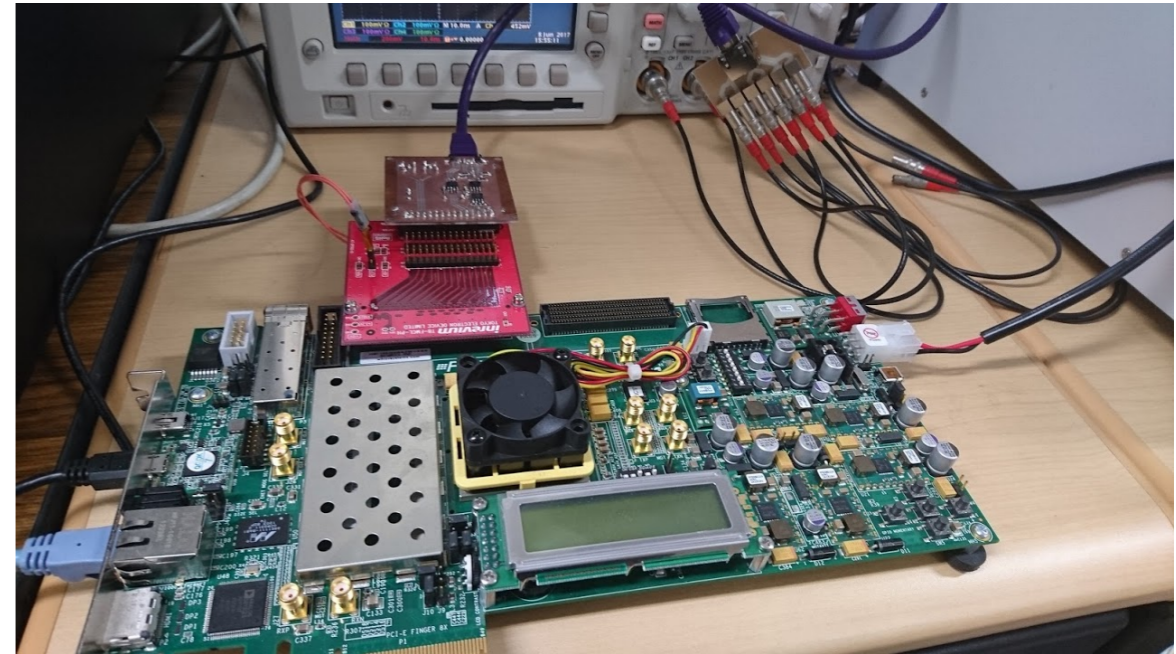
→ メタルシールドケーブルの仕様とRJ45コネクタの足を半田で接着して解決

- 入力側(FEI4→FPGA)

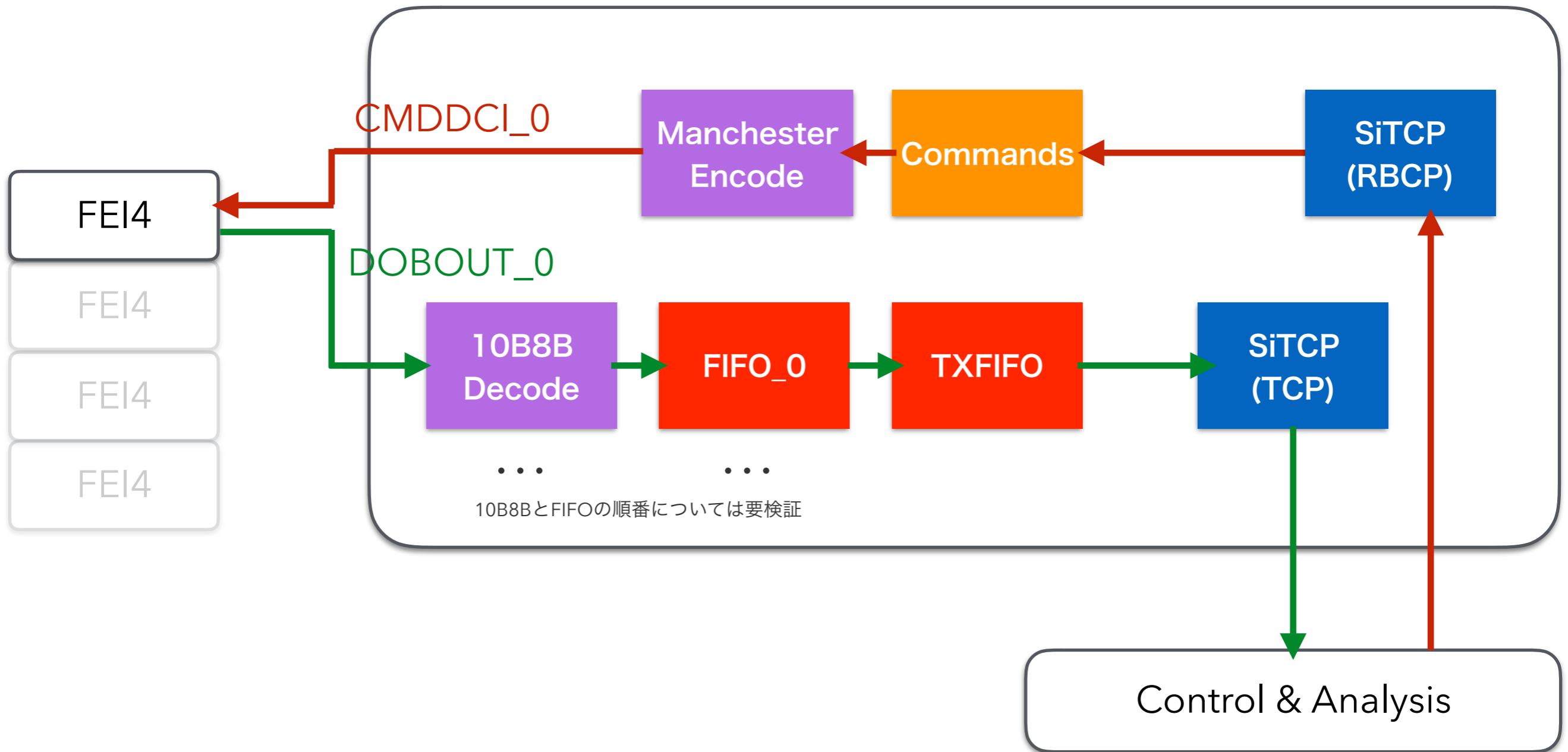
未実施。

プローブ無しでそのまま確認する手段は用意できていない。

ファンクションジェネレータがあれば入力をFG、出力をプローブで見て動作テストする

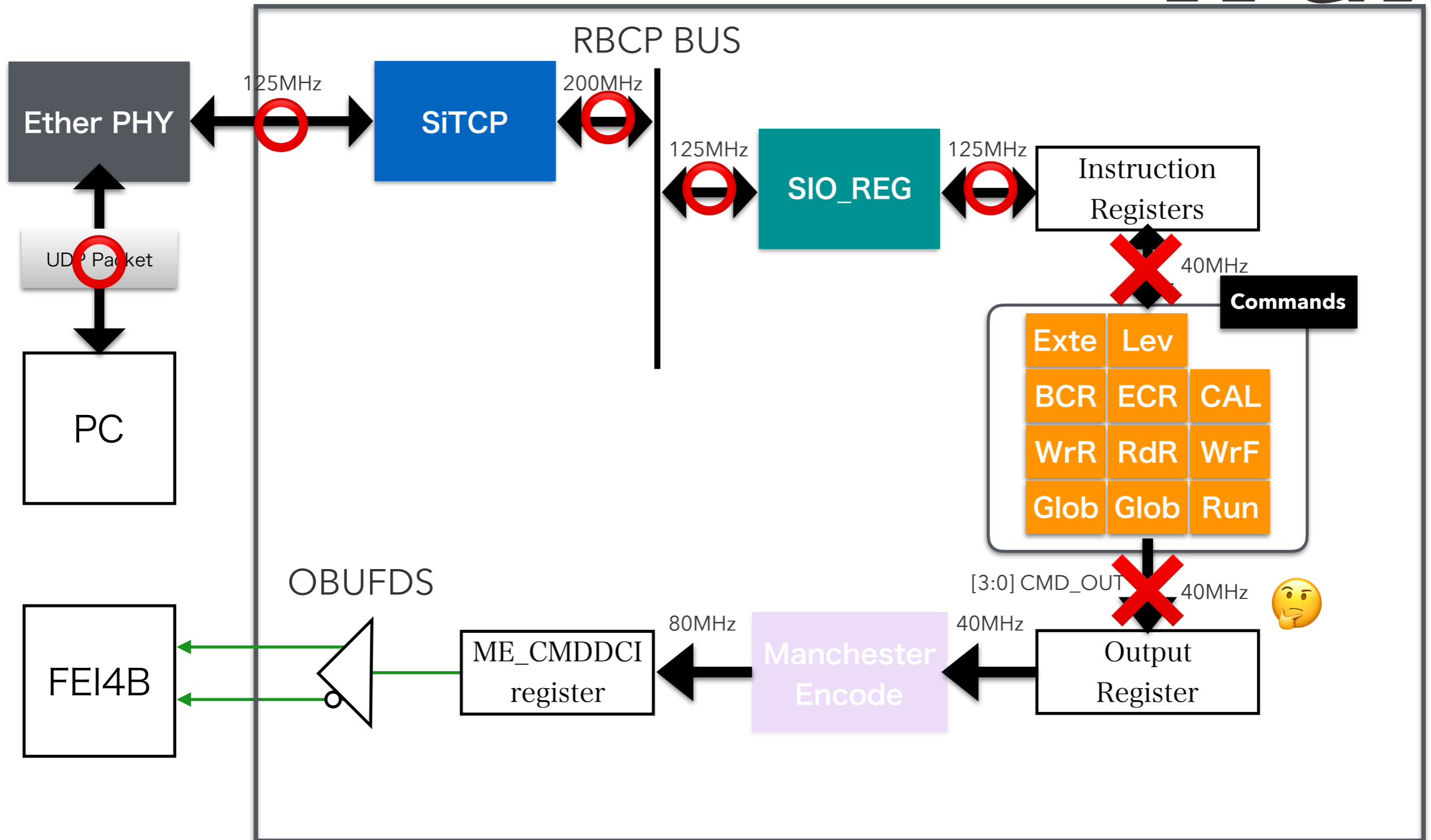


Firmware Design

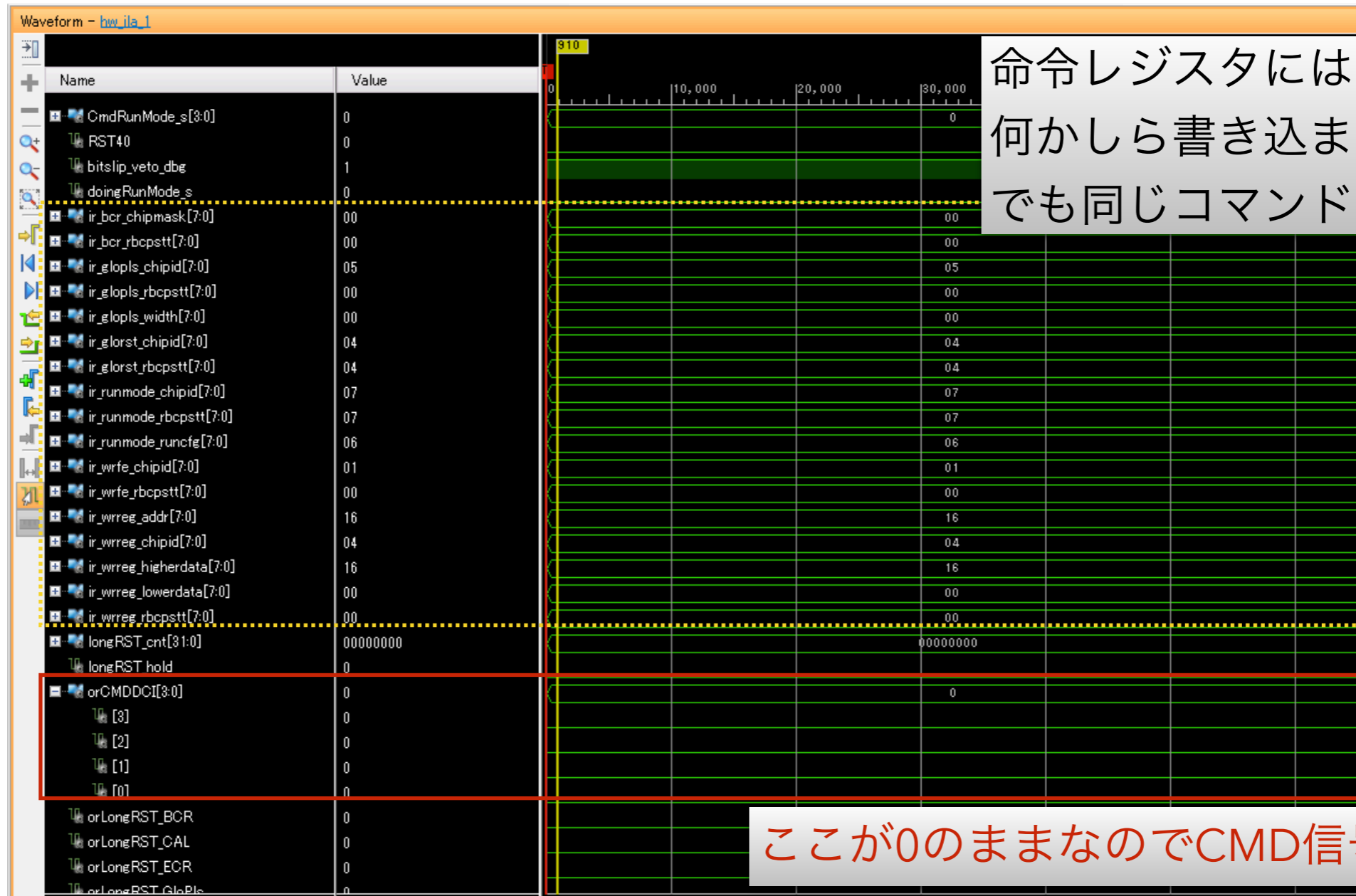


Command Data Flow

FPGA



Waveform



Instructionレジスタに書き込まれている値そのものがそもそもおかしいかも...

→ 上流から辿ってみる

Packet capture

Wiresharkで送信パケットを見てみる

```
$ ./run 0 0000
```

この場合JustEnableDoutを実行

RBCPパケットフォーマット

0xFF: always "0xFF"

0x80: 0x80:Write, 0xc0:Read

0x18: Packet ID

0x03: Data length

0x00: address [31:24]

0x00: address [23:16]

0x00: address [15:8]

0x18: address [7:0]

0x01: Data / chipID

0x07: Data / run ? 0x38:0x07

0x01: Data / 0x01

ソフトウェアの仕様通りで転送されている

問題はやはり受け手側(FPGA)か？

The screenshot shows a Wireshark interface with a filter expression `ip.src==192.168.10.235 and ip.dst==192.168.10.16 and udp`. The packet list pane shows several UDP packets. Packet 2844 is selected, and its details pane shows the following structure:

- Frame 2844: 53 bytes on wire (424 bits), 53 bytes captured (424 bits) on interface 0
- Ethernet II, Src: Apple_4b:e4:31 (40:6c:8f:4b:e4:31), Dst: 02:00:c0:a8:00:10 (02:00:c0:a8:00:10)
- Internet Protocol Version 4, Src: 192.168.10.235, Dst: 192.168.10.16
 - 0100 = Version: 4
 - 0101 = Header Length: 20 bytes (5)
 - Differentiated Services Field: 0x00 (DSCP: CS0, ECN: Not-ECT)
 - Total Length: 39
 - Identification: 0x96af (38575)
 - Flags: 0x00
 - Fragment offset: 0
 - Time to live: 64
 - Protocol: UDP (17)
 - Header checksum: 0x0000 [validation disabled] [Header checksum status: Unverified]
 - Source: 192.168.10.235
 - Destination: 192.168.10.16 [Source GeoIP: Unknown] [Destination GeoIP: Unknown]
 - User Datagram Protocol, Src Port: 64304, Dst Port: 4660
 - Data (11 bytes)
 - Data: ff80180300000018010701 [Length: 11]

The packet bytes pane shows the raw data in hexadecimal and ASCII:

```
0000 02 00 c0 a8 00 10 40 6c 8f 4b e4 31 08 00 45 00 .....@l .K.1..E.
0010 00 27 96 af 00 00 40 11 00 00 c0 a8 0a eb c0 a8 .'.....@. ....
0020 0a 10 fb 30 12 34 00 13 96 70 ff 80 18 03 00 00 ...0.4.. .p.....
0030 00 18 01 07 01 .....
```

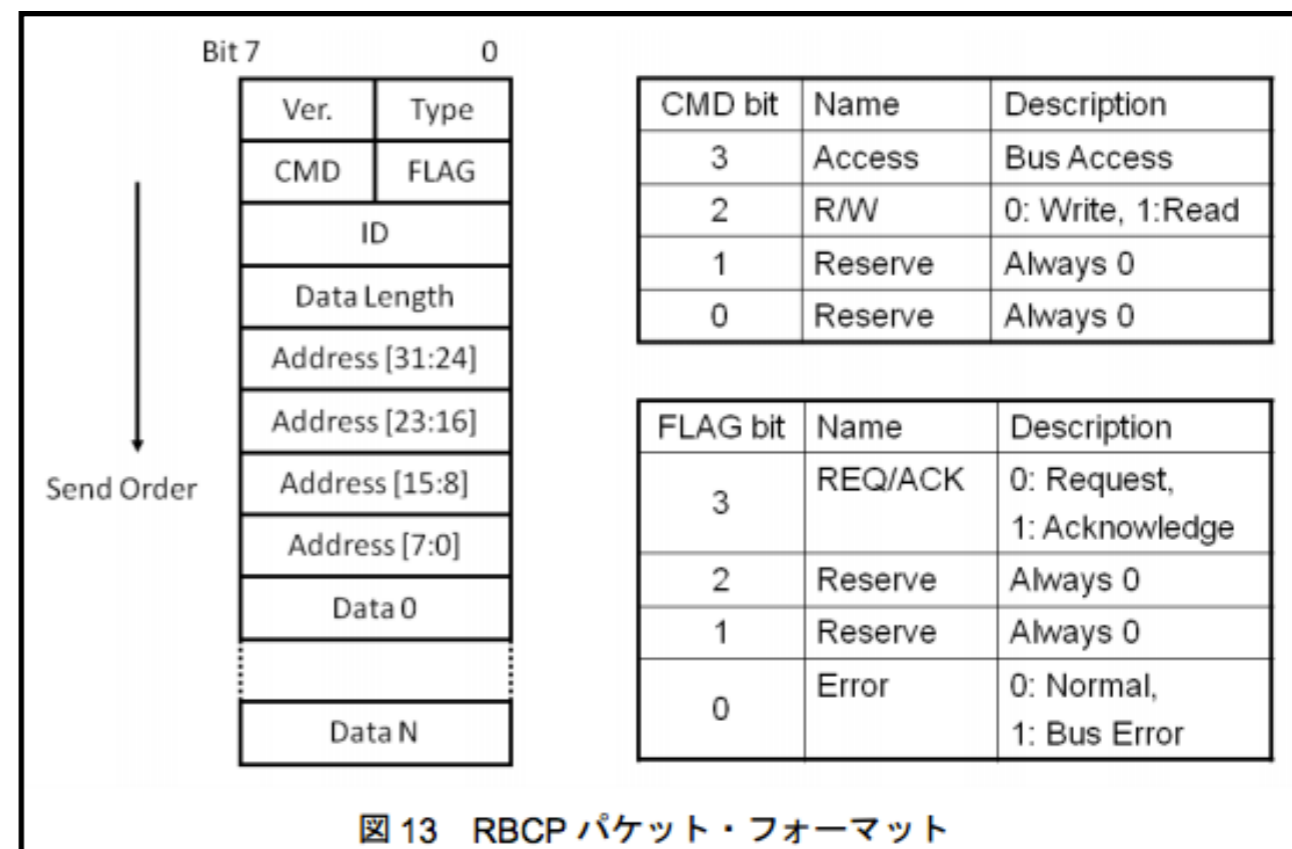
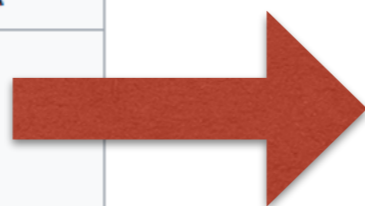

RBCP Message (SiTCP)

RBCP : remote bus control protocol

RBCP : Capsulated in UDP

- UDP IPv4 Pseudo Header

bits	0 - 7	8 - 15	16 - 23	24 - 31
0	送信元IPアドレス			
32	宛先IPアドレス			
64	ゼロ	プロトコル番号	UDP長	
96	送信元ポート番号		宛先ポート番号	
128	データ長		チェックサム	
160+	データ			



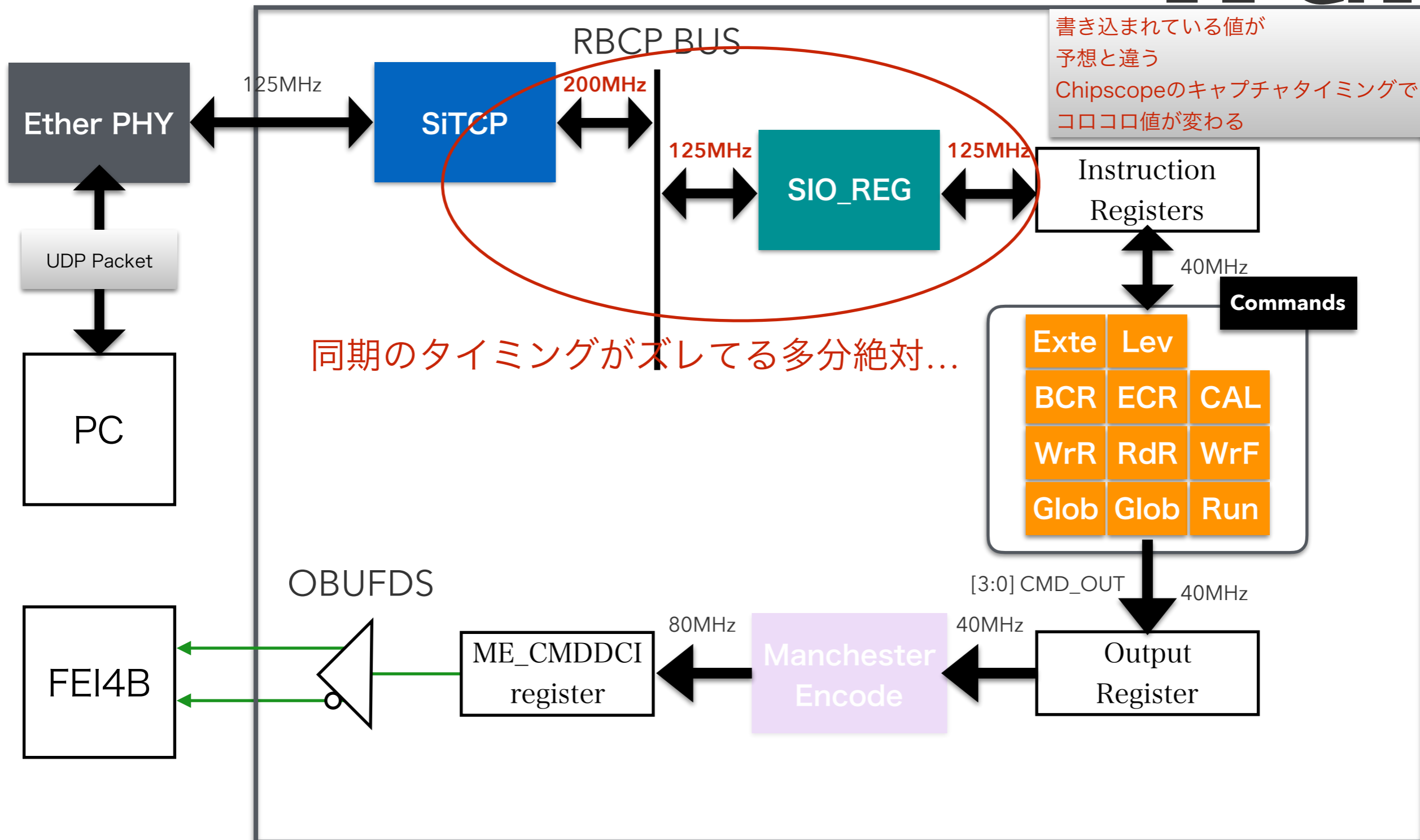
アクセスするバスのアドレスを開始アドレスとして
Lengthフィールドに格納されているデータ長をアクセス

→ (SiTCP側)RBCP_ADDRを開始アドレスとして1byteずつ
読んでいく

SiTCPのシステムクロックに同期して、 、 、 oh

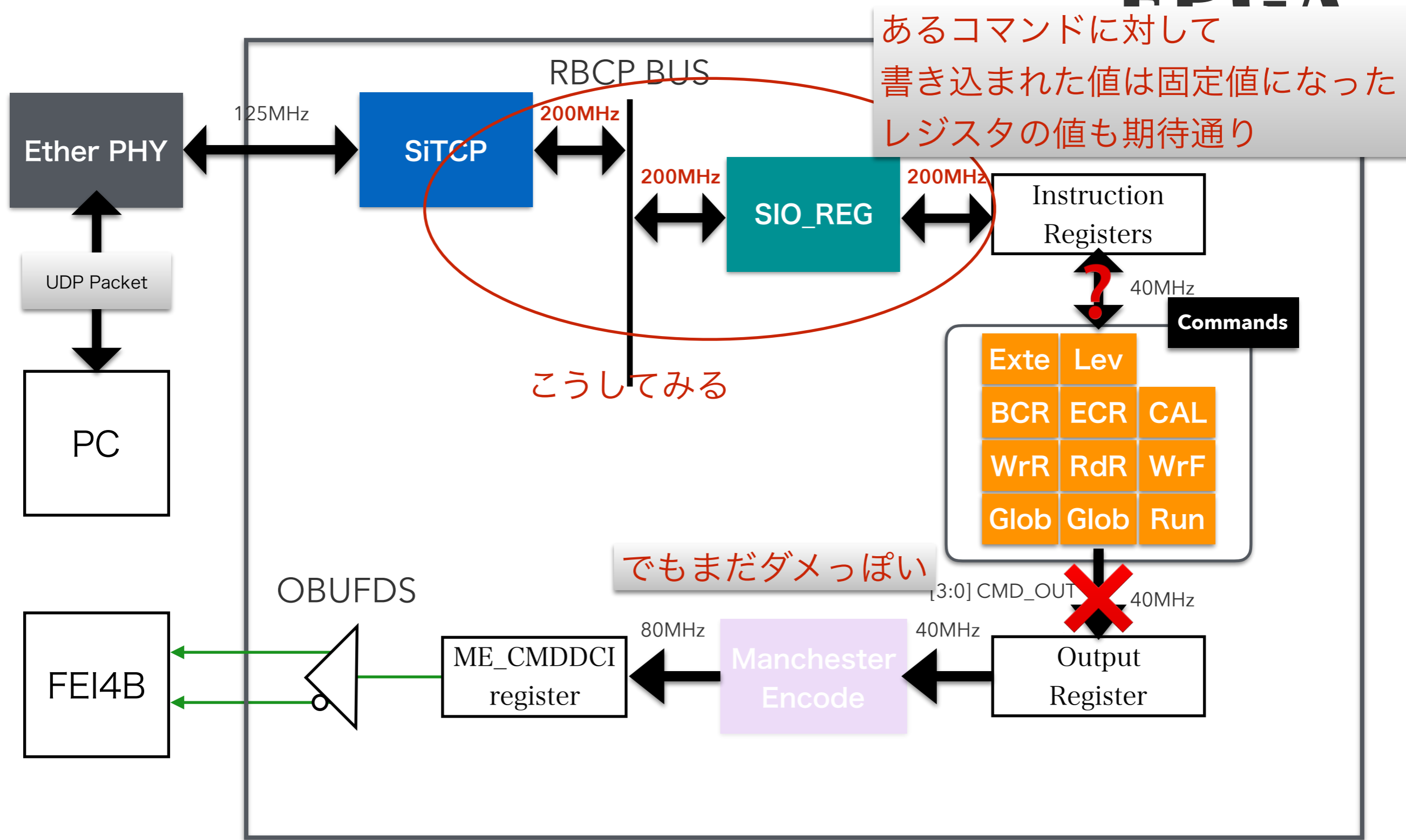
Command Data Flow

FPGA



Command Data Flow

EDCA



Chipscope Pro

- 「\$./run 0 0111」を実行したときのレジスタの状態

このときのRBCPパケット

1回目: ff 80 21 01 00 00 00 21 0e

2回目: ff 80 18 03 00 00 00 18 01 07 01

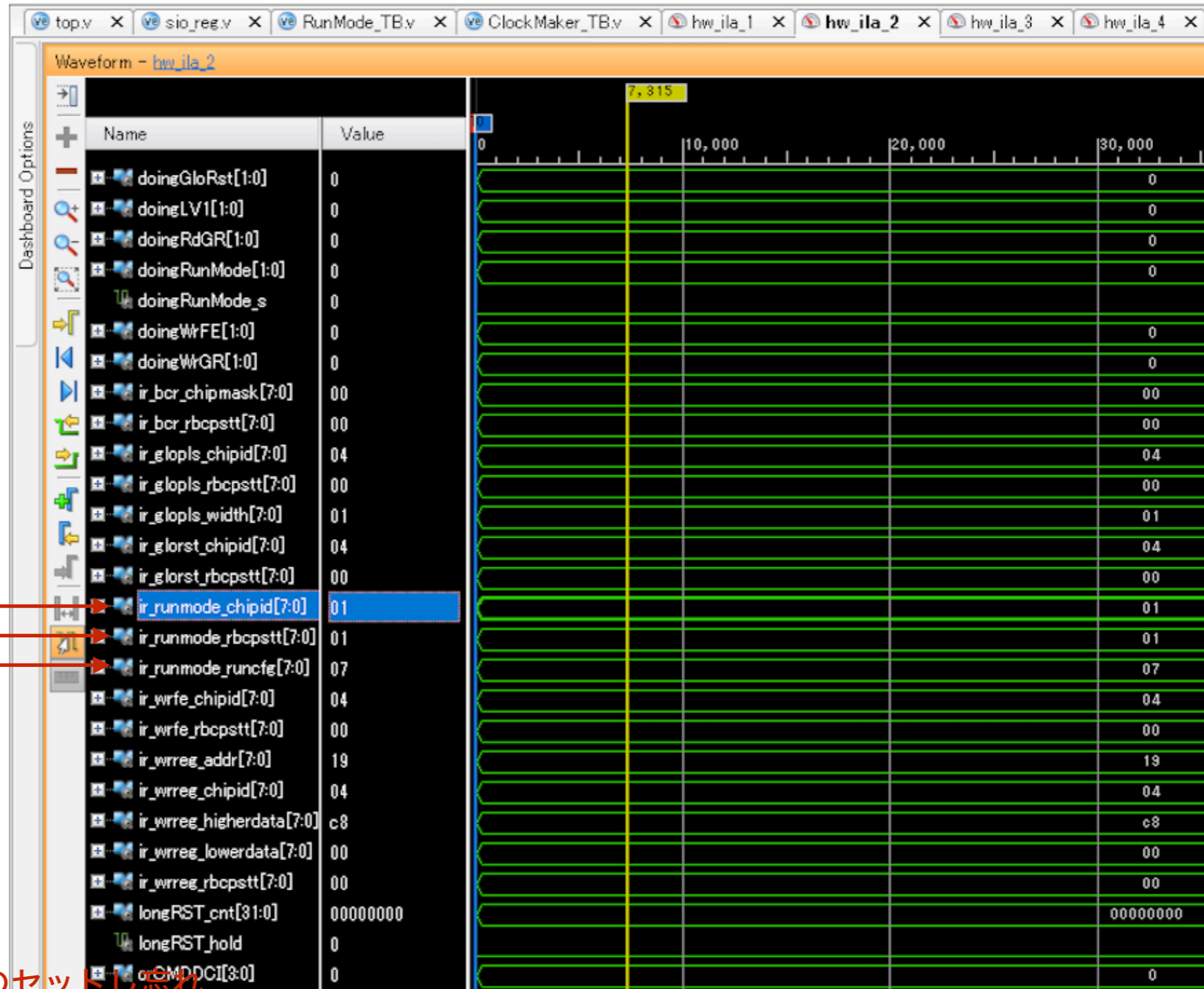
3回目: ff c0 1a 01 00 00 00 1a 01

4回目移行は3回目のパケットを送り続ける

ADDR18(CmdRunMode ChipID)

ADDR1A(Status RunMode)

ADDR19(CmdRunMoed RunOrConfig)



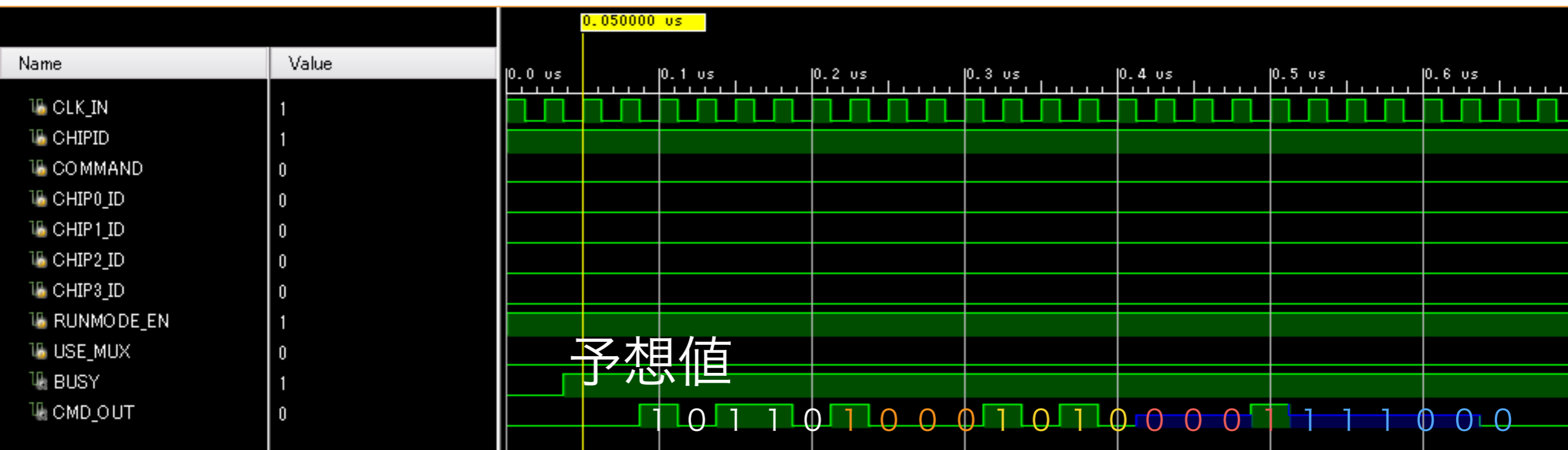
ADDR21(MAKEDCHIP)はデバッグポートのセットし忘れ

RunModeコマンド

- そもそもどんなコマンド信号の出力が期待されるか？(FEI4 protocolで決まっていますが)
パケット解析から送信データはわかるのでシミュレーションしてみる

CLK_IN:40MHz Clock, CHIPID:0x01

COMMAND:111000, RUNMODE_EN:0x01



何か間違えたか、6bitのCOMMANDインプットが0

CMD_OUTが不定になっている箇所がある

Source

- Software
 - SEABAS DAQ Page for ATLAS Pixel Upgrade
 - <https://svnweb.cern.ch/trac/seabaspixeldaq>
 - ./multi_chip_FEI4/Software_SEABAS2/run
- Firmware
 - Seabas2VC707_part1
現在のファームウェア
http://osksn2.hep.sci.osaka-u.ac.jp/~sawada/fpga/Seabas2VC707_part1_20170613.xpr.zip

ADDITIONAL SLIDES

Commands

Commands protocol type

* Trigger * Fast * Slow

- Trigger & Fast commands

Name	Field 1	Field 2	Description
size (bits)	5	4	
LV1	11101	-	Level 1 Trigger
BCR	10110	0001	Bunch Counter
ECR	10110	0010	Event Counter
CAL	10110	0100	Calibration
Slow	10110	1000	Slow command

Commands

- Slow commands

Name	Field 3	Field 4	Field 5	Filed 6	Description
size (bits)	4	4	6		
RdRegister	0002	Chipld	Address	-	Read addressed global memory register
WrRegister	0010	Chipld	Address	Data	Write into addressed global memory register
WrFrontEnd	0100	Chipld	xxxxxx	Data	Write conf data to selected shift register(s)
GlobalReset	1000	Chipld	-	-	Reset command; Puts the chip in its idle state
GlobalPulse	1001	Chipld	Width	-	Has variable pulse width and functionality
RunMode	1010	Chipld	sssccc	-	Sets RunMode or ConfMode

RunMode_TB

```
module RunMode_TB;

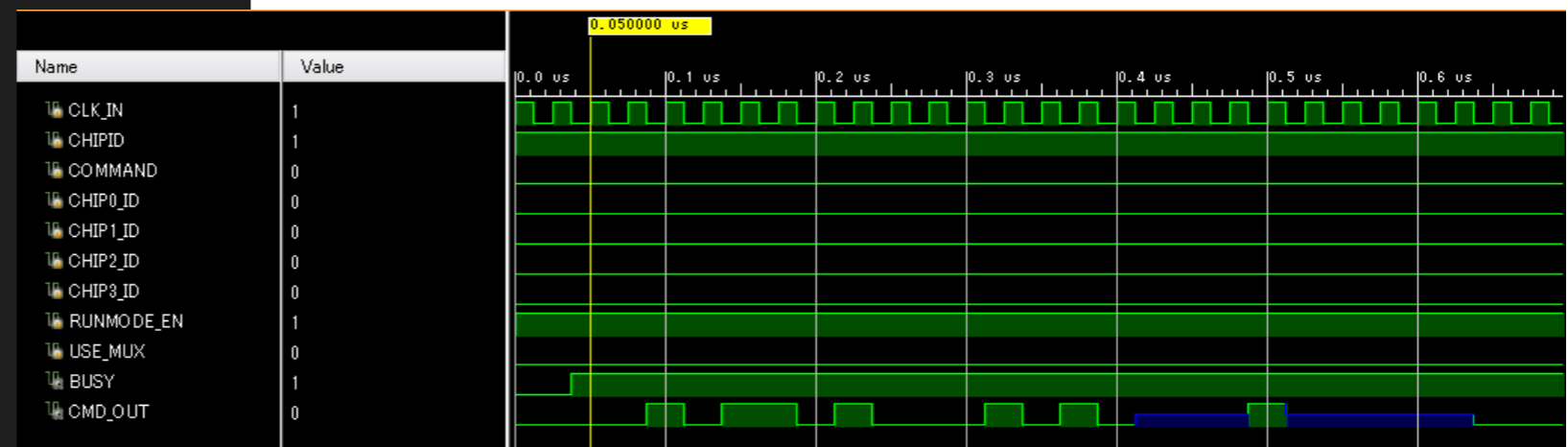
    reg CLK_IN; //in::Raw clock
    reg CHIPID; //in::Indicating value for ChipID field
    reg COMMAND; //in::111000 for RunMode, 000111 for ConfMode
    reg CHIP0_ID; //in::{Chip0ID,4'b0000}
    reg CHIP1_ID; //in::{Chip1ID,4'b0001}
    reg CHIP2_ID; //in::{Chip2ID,4'b0010}
    reg CHIP3_ID; //in::{Chip3ID,4'b0011}
    reg RUNMODE_EN; //in::Trigger to generate the RunMode Command
    reg USE_MUX; //in::Using MUX
    wire BUSY; //out::Become "1" when executing the RunMode Command
    wire CMD_OUT; //out::Command Output

    initial begin
        CLK_IN <= 1'b0;
        CHIPID <= 4'b0001;
        COMMAND <= 6'b111000;
        CHIP0_ID <= 8'b0000_0000;
        CHIP1_ID <= 8'b0000_0000;
        CHIP2_ID <= 8'b0000_0000;
        CHIP3_ID <= 8'b0000_0000;
        RUNMODE_EN <= 1'b1;
        USE_MUX <= 1'b0;
    end

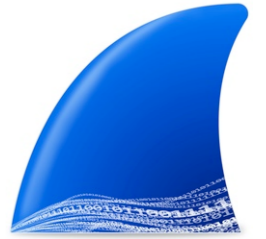
    // 40MHz clock
    always #25 begin
        CLK_IN <= !CLK_IN;
    end

    RunMode uut(
        .CLK_IN (CLK_IN),
        .CHIPID (CHIPID),
        .COMMAND (COMMAND),
        .CHIP0_ID (CHIP0_ID),
        .CHIP1_ID (CHIP1_ID),
        .CHIP2_ID (CHIP2_ID),
        .CHIP3_ID (CHIP3_ID),
        .RUNMODE_EN (RUNMODE_EN),
        .USE_MUX (USE_MUX),
        .BUSY (BUSY),
        .CMD_OUT (CMD_OUT)
    );

endmodule
```

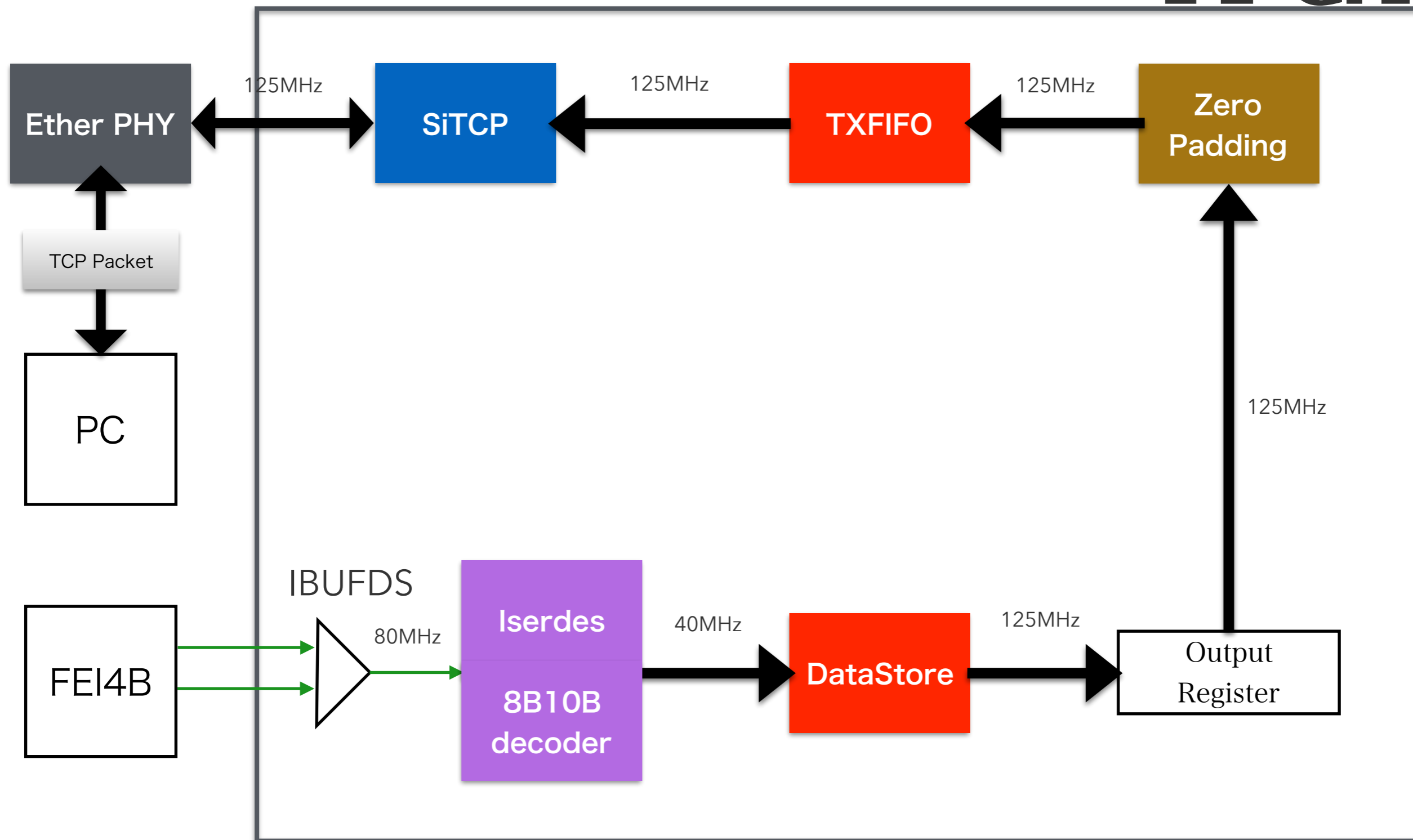


- 定番のOSSのネットワークプロトコルアナライザ
 - GUIでパケットキャプチャが可能, CLIでもできる(tshark)
 - tcpdumpとか叩くよりは簡単

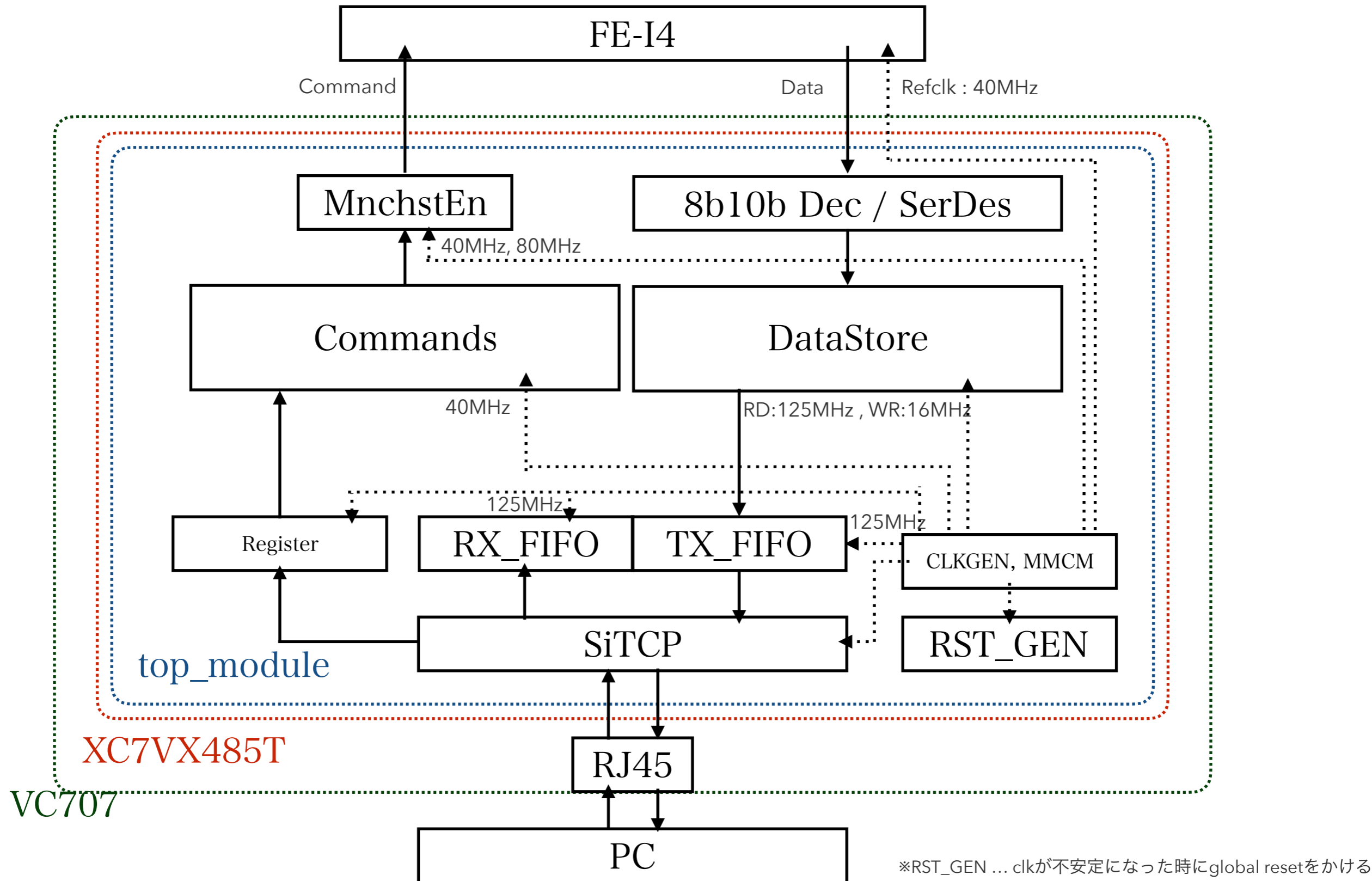


FEI4 Data Flow

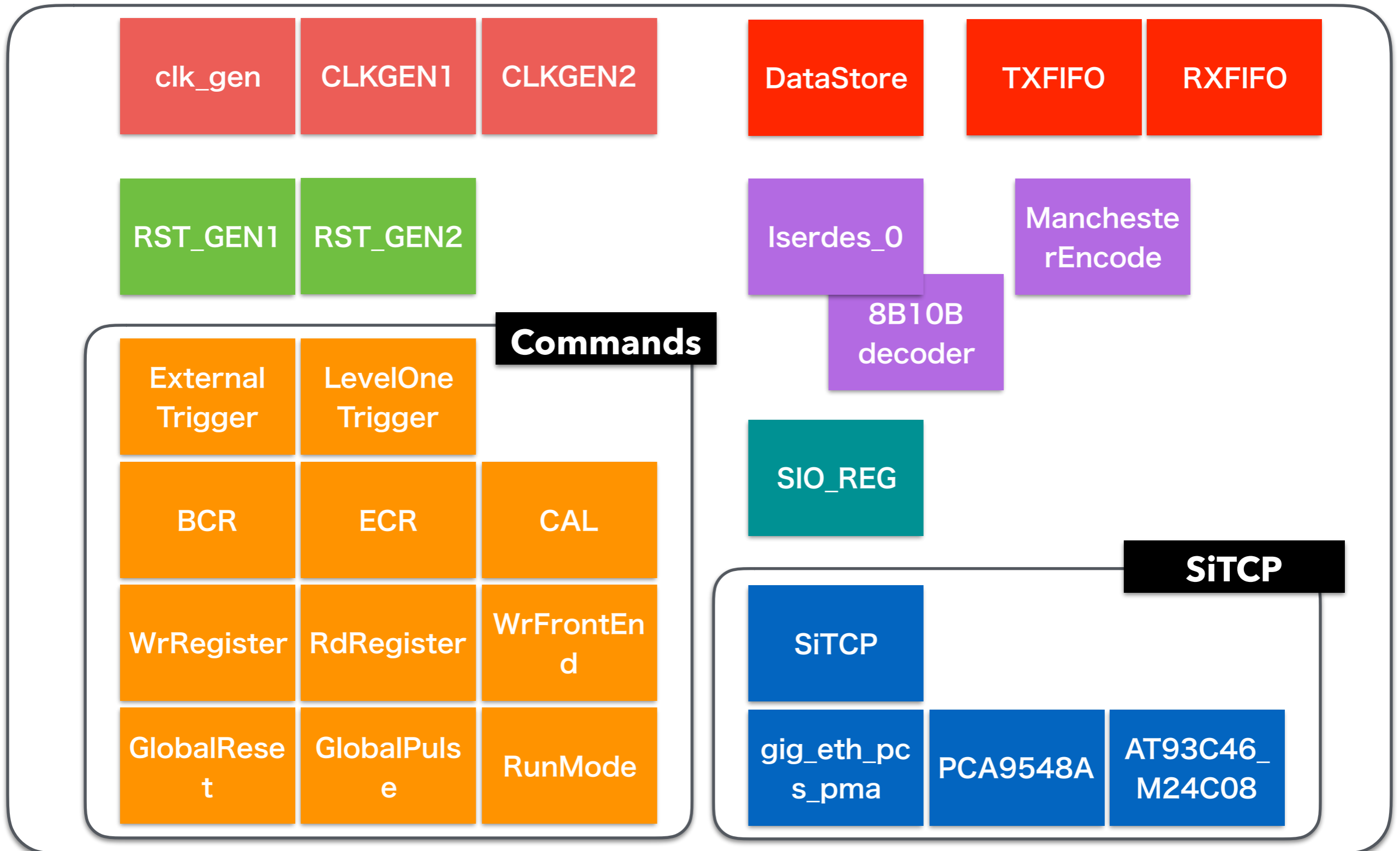
FPGA



Current Firmware Design



Top Module Components



Top-Level Ports

Reference Clock

input CLK_P/N 200MHz

input SGMII_CLK_P/N 125MHz

1KB EEPROM

inout I2C_SDA

output I2C_SCL

Control

input GPIO_SWITCH_0

input SW_N

output [7:0] LED

Ethernet PHY

output PHY_RSTn

output SGMII_TXP/N

output SGMII_RXP/N

output GMII_MDC

inout GMII_MDIO_IN

SiTCP uses

FEI4-4

FEI4-3

FEI4-2

FEI4-1

output REFCLK_p/n

output CMDDCI_p/n

input DOBOUT_p/n

FEI4 Access ports
FMC-LPC Connector