

4.3 FPGAへの実装(順序回路)



第3.3版 2016年06月22日

Open source consortium of instrumentation



2

論理合成



3

Vivado起動

ソースコードを編集するためにVivadoを起動してください





論理合成開始

	・成中はこの部分のカラーバーが動く
The second secon	alysis
) [Run Synthesis]をクリック
Synthesi Mereneter M	is Synthesis Settings Run Synthesis
▲ Implemen ③ I ▶ ₩ ► ► ► ► ► ► ► ► ► ► ► ► ►	Open Synthesized Design Intation Implementation Open Implemented Design Open Implemented Design And Debug Run Synthesis
	Re-running synthesis will result in resetting implementation and removing all results files. OK to proceed?



論理合成結果の確認





ユーザー制約



タイミング制約

今回は順序回路の配置配線なのでタイミング制約を課します

□ 動作周波数

- 同期回路でよく使われる制約
- 通常、希望動作周波数がある
- 希望の周波数で回路が動作するかどうかをツー ルに遅延計算させレポートさせる



8

Constraints Wizardの起動

昨日はOpen designから画面のレイアウトを切り替えて制約設定しました。

今回はConstraints Wizardを使って入力します





9

Constraints Wizardの初期画面

タイミング制約を促す画面





外部入力クロック

imary Clocks Primary clocks usually enter describe the duty cycle if nor	the design though input ports. Specify t : 50%. <u>More info</u>	the period and optionally a name and waveform (rising and falling edge times) to
commended Constraints		
V Dbject	Name	Frequency (MHz) Period (ns) Rise At (ns) Fall At (ns) Jitter (ns)
k 🔽 🎵 OSC	OSC	undefined undefined
nstraints for Pulse Wildth Cher		
D Object	Name	Frequency (MHz) Period (ns) Rise At (ns) Fall At (ns)litter (ns)
🛃 Tcl Command Previ	ew (1) 🖾 Existing Create Clock Cor	istraints (0)
👷 create_clock -name OSC) [get_ports {OSC}]	
		② Skip to Finishをクリッ



11

確認画面

	🔥 Timing Constraints Wiza	ard
	HLx Editions	Constraints Summary The Timing Constraints Wizard created 1 new timing constraint: <u>Create Clock (1)</u>
>	₹ XII INX	On Finish View Timing Constraints Create Timing Summary report Create Check Timing report Create DRC report using only timing checks Finishをクリック
	ALL PROGRAMMABLE.	To keep the new constraints and perform the selected action THINSTIL () () () () () () () ()



ピンリスト

Name	Package Pin	I/O Std.	Drive Str.	On chip termination	Pull type	Slew
OSC	E3	LVCMOS33		NONE	NONE	
RST_SWn	C12	LVCMOS33		NONE	NONE	
SW_A	U9	LVCMOS33		NONE	NONE	
SW_B	U8	LVCMOS33		NONE	NONE	
LED0	Т8	LVCMOS33	12	NONE	NONE	Slow
LED1	V9	LVCMOS33	12	NONE	NONE	Slow
LED2	R8	LVCMOS33	12	NONE	NONE	Slow
LED15	P2	LVCMOS33	12	NONE	NONE	Slow

使用している信号のみ設定してください

空欄は設定(選択)不要です



13

制約ファイルの保存

In Set Tao Son Webs in 2 2 11 an Set Tao Son Webs in 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	1911년 - 1912년 - 191				File 2	Edit F <u>low Tools Windo</u> New Project Open Project Open <u>R</u> ecent Project	w La <u>v</u> out	View He ► 🎦	elp 🚰 🧭 ⊘ 🍪 : esign * - xc7a100
Benerative Sectors (Sectors (Secto				① [File]から	>	Open Example Project Save Project As Write Project Tcl Archive Project Olose Project Save Constraints Save Constraints As Olose Synthesized Design Open Checkpoint Open Regent Checkpoint	Ctrl+S	e Constrair ernal VREF 0.6V 0.675V 0.75V 0.9V NONE (5) 300 I/O Ba 300 I/O Ba 300 I/O Ba 300 I/O Ba 300 I/O Ba	ank 14 ank 15 ank 16 ank 34 ank 35
	3								
ate Desi	gn	(Disale 30 Ma)	2 [Sa	ave Constra	aints]を	を選択 ^{Open Recent IP Location} New File… Open File…	► Ctrl+0		
Nate Desi Saving th synthesis up-to-dat 'Force Up 存する	gn e current constrain to go out-of-date. te by selecting the -to-Date'. ると再度合成	ts to the target projec To avoid re-running s run in the Design Runs むしなければし	② [Sa t constraints file may ca wrthesis, you can force s tab, right clicking, and いけないと言っ ⁻	ave Constra	aints]đ	を選択 … Open Regent IP Location New File Open File Open Recent <u>File</u> Save All Files Add Sources Open Source File	Ctrl+O Alt+A Ctrl+N	-	
Nate Desi Saving the synthesis up-to-dat Force Up 存する nt show t	gn e current constrain to go out-of-date. te by selecting the -to-Date'. ると再度合成 his dialog again	ts to the target projec To avoid re-running s run in the Design Runs えしなければし	② [Sa t constraints file may ca withesis, you can force t a tab, right clicking, and いけないと言って	ave Constra	aints]≹	を選択 … Open Regent IP Location New File Open File Open Recent <u>File</u> Save All Files Add Soyrces Open Source File Import Export Open Log File Open Journal File Print	Ctrl+O Alt+A Ctrl+N Ctrl+P	/O banks o set Interna > Sources	on voltages or the " al VREF. Netlist 🌰 De



画面レイアウトをDefaultへ戻す





Synthesized Designを閉じる







Marcolar State Stat	── 合成中はこの部分のカラーバーが動く
Normalization Normalization Normalization 0	
	 RTL Analysis
C 4 C	① [Run Synthesis]をクリック
	 Synthesis Synthesis Synthesis Synthesis Bun Synthesis Open Synthesized Design
	 Implementation
	Implementation Settings Bun Implementation
	Ø Dpen Implemented Design
	 Program and Debug Bitstream Sattings



論理合成結果の確認





配置配線



配置配線の実行





配置配線中の画面





配置配線結果の確認

配置配線が終わると表示される

Implementation Completed	
Implementation successfu	illy completed.
© <u>Open Implemented Design</u> © <u>G</u> enerate Bitstream	
● <u>V</u> iew Reports	
Don't show this dialog again	Cancel
②クリ	 リック



配置配線結果を確認





タイミングレポートの生成





Timing summaryの確認

The Concept of Concept of Concept and Conc	1971 (1981 M			
De Sei fen Sen Belen laar Ver Bel 2015 in USB Six 2 € 5 5 1 100 0 5 5 2 3 10 1000 - F 6 1 0	Do land second			
Sectore Statement Reas - Attracts Land Sectore A Backer A Provi A				
Projek Renge Q. T. 4 Billion X Social Stress Oncolor				
Alf Marine December 2000 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0				
Sector State 2 Control Contro Control Control Control Control				
P Addaptersteine P Ad				
A for Tray Lower on Allowing Derive Allower (s.) Austria Lower on Allower (s.) Austria Lower on Allower (s.)				
	0000:0000			
Prove of Exec Comparison (State) Comparison (State) Comparison (State) Comparison (State)				
Concentration from the second se	-07			
C = C + + ≥ C + + = + ≥ C + + = + ≥ C + + = + = + = + = + = + = + = + =	at 1990 122 a			
2 Construction Formation 2 Construction 3 Construction 4 Constructin 4 Construction 4 Constructi	ator Dat (1965) NUT - anno 0 Ator 8			
B law Cost Fore Cost				
See Search 1 Marcoll K Second Secon				
	N			
Timing - Timing Summary - timing_1				? _ 🗆 🖻 🗡
Q 🖾 🚔 📥 🗲 🔊 🔿	Design Timing Summary			
General Information				
Timer Settings	Setup	Hold	Pulse Width	
	Worst Negative Slack (WNS): 7410 ps	Worst Hold Slack (WHS): 0.254 ps	Worst Pulse Width Slack (WPWS):	500 ns
Design Timing Summary		T - 111 11 01 1 (TUO) - 0.000		000
Clock Summary (1)	Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): U	.000 ns
🕀 🜗 Check Timing (2)	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	
i∰⊡in <mark>tha</mark> -Clock Paths	Total Number of Endpoints: 29	Total Number of Endpoints: 29	Total Number of Endpoints: 3	n
Clock Paths	Texas Hambor of Engloring, 20		tetet number of Englands 0	-
	All user specified timing constraints ar	e met. ムイの生い	われごせた ナわ ナいてー	したたます
Iser Jenored Paths		「王しの刑が	的い`向/こされしいるこ	- て 唯 認
Timing Summary - impl 1 Timing Sum	mary - timing 1			4 5 8
				N P E
– 🔪 🔜 🔁 Console 🗋 🗭 Messages 🛛 💐 Log	🗋 Reports 🗋 🔎 Package Pins 🗋 🐌 Design Rui	ns 🗐 Power 🧭 Timing		

今回はWarningがあってもOK



Implemented designを閉じる





データファイル生成



デーファイル生成







データ生成が終わると表示される

Bitstream Generation Completed	
Bitstream Generation successfully comple Next	ted.
Open Implemented Design	View reports]を選択
Open <u>H</u> ardware Manager	
Generate Memory Configuration File	
Don't show this dialog again	Dancel
②クリック	



FPGAへダウンロード JTAG mode



ハードウェアの準備





ダウンロードツールの起動











データ書き込みの確認

書き込み中の表示

A Program Device		×
Programming the device	70% (<u>C</u> ancel <u>B</u> ackground



動作確認



デバック





動作確認

SWを操作して設計した通りに動作するか試してください







動きましたか?







JTAG I/Fによるダウンロード

□ 様々なダウンロードI/Fの一つ



コネクタが小さい(信号線数が少ない)
 複数チップを同一コネクタからプログラム可
 FPGAに直接書き込み可(デバック時に有効)
 短所

■ 書き込み時間が長い(転送速度が遅い)



JTAG I/Fによるダウンロード方法





JTAG I/F

- □ I/F規格の一つ
- レシリアルI/F (信号数4本、電源除く)
 - 1ビットずつ順番に送る
- ロボードや実装済みチップのテストの為に開発
- □ 複数のチップを直列接続可(Daisy Chain接続)





履歴

- □ 2012/5/17 第1.0版 ISE13.4対応 内田智久(Esys, KEK/総研大), 林達也(大阪大学)
- □ 2014/8/7 第2.0版 Vivado2014対応、章構成変更 内田智久(Esys, KEK/総研大)
- □ 2015/7/31 第3.0版 Vivado2015対応、章構成変更 内田智久(Esys, KEK/総研大)
- □ 2015/12/04 第3.1版 ハードウエア接続方法を変更 内田智久(Esys, KEK/総研大)
- □ 2016/01/27 第3.2版 Vivado 2015.4対応 内田智久(Esys, KEK/総研大)
- □ 2016/06/22 第3.2版 Vivado 2016.2对応 内田智久(Esys, KEK/総研大)