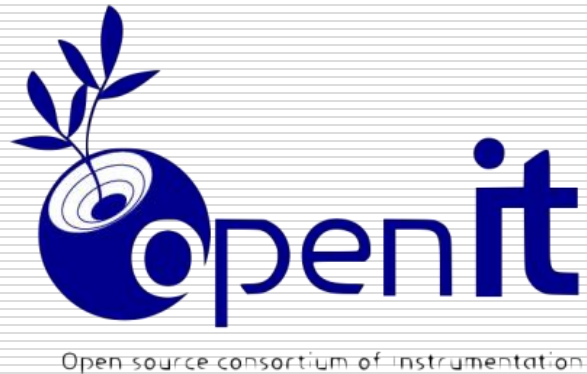


Open-It FPGAトレーニングコース(入門編)

4.1 Verilog-HDL記述(順序回路)



第3.1版

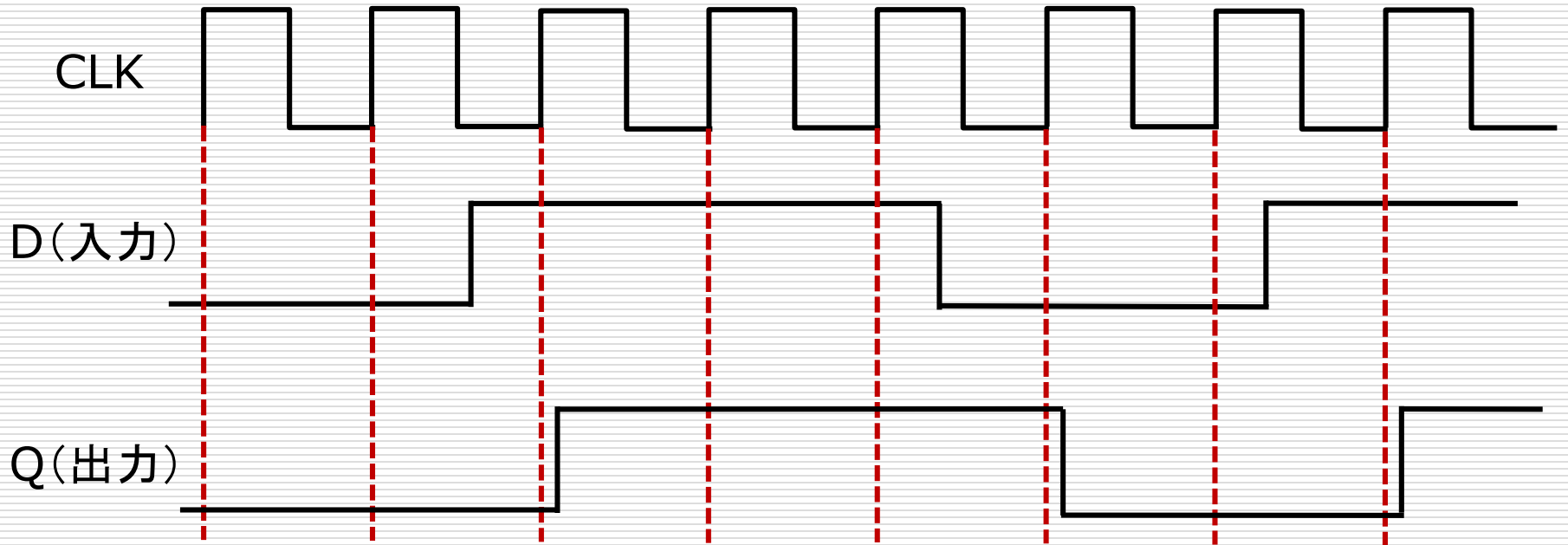
2016年1月27日

順序回路のVerilog-HDL記述

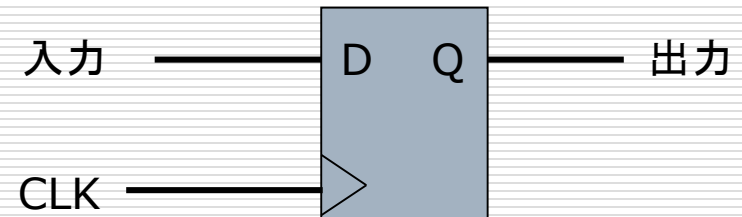
- テンプレートを使用する方法をお勧めします
 - 様々な書き方がありますので、書き方に惑わされないために

- このコースではDFF出力はalways文で書く事にします

復習：DFFの動作



- ・CLKの立ち上がり時の入力(D)が出力(Q)される
- ・次の立ち上がりまで出力は保持される



DFFの書き方

always@文を使う
@()内の条件が成立した時に中を実行

reg Q; ← 記憶素子はregで宣言する

```
always@ (posedge CLK) begin
  Q <= D;
end
```

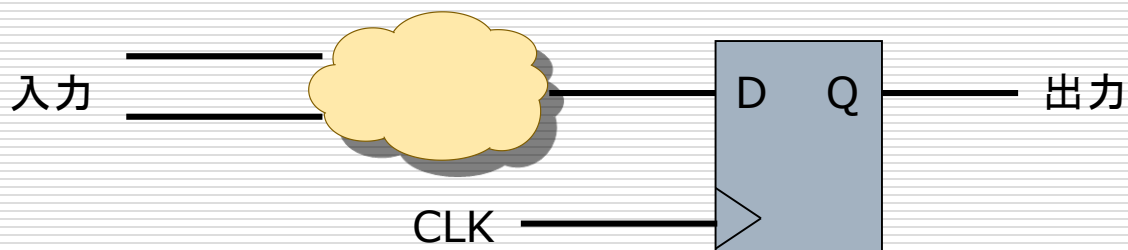
<が付いている!

CLKの立ち上がり
で動作する意味

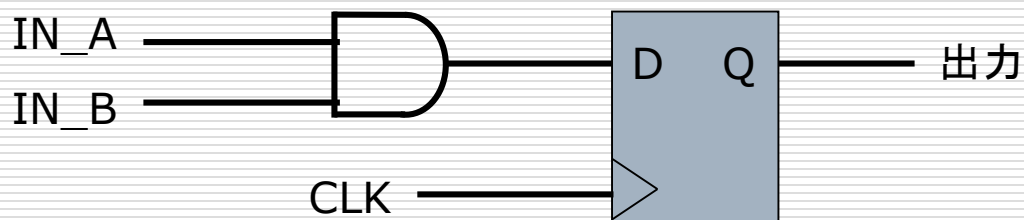
立下りはnegedge

クロックはalways文の中(beginからendの間)で信号として使ってはいけない。言い換えると信号として使用していないのでクロックとして認識される

入りに組み合わせ回路が接続されている場合



例えば、2入力ANDが入力されている時は...



どのように書けば良いと思いますか？

入りに組み合わせ回路が接続されている DFFの書き方

```
reg    Q;
```

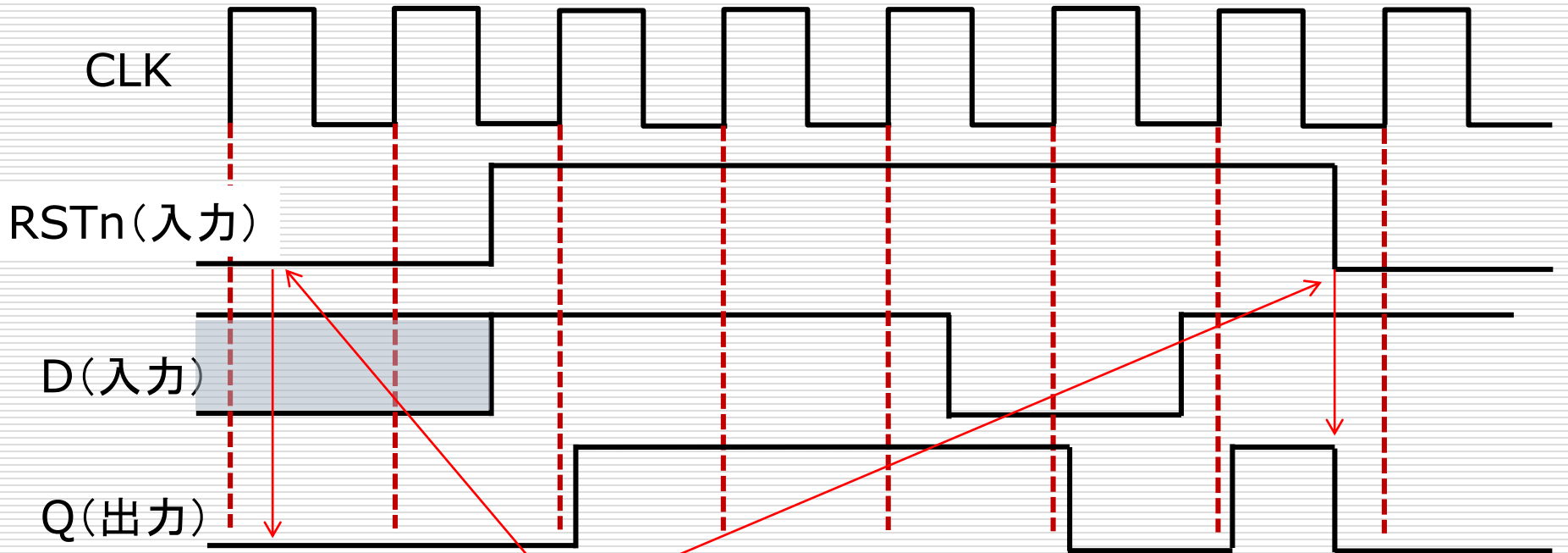
```
always@ (posedge CLK) begin  
    Q <= IN_A & IN_B;  
end
```



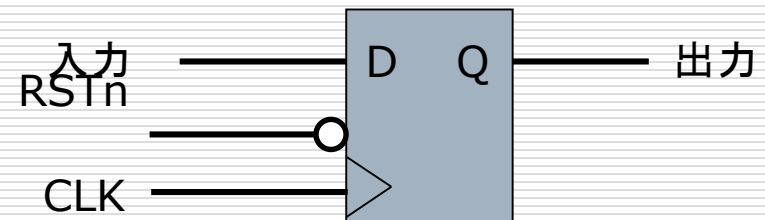
右辺に論理を書く

復習：非同期リセット付きDFFの動作

(アクティブLowのリセットの場合)



リセット信号がLowになると、
入力Dの値に関係なく即座に出力がLowになる



DFFの書き方/非同期リセット付き

非同期リセットを使用する場合
この2箇所に対で現れる

```
reg Q;  
always@ (posedge CLK or negedge RSTn) begin  
  if(RSTn==1'b0)begin  
    Q <= 1'b0;  
  end else begin  
    Q <= D;  
  end  
end
```

非同期リセットでの動き

通常動作での動き

一致条件は==で表す

非同期リセットの書き方はnegedgeを使っていてクロックのような誤解を与えますが
if文の中の条件として使用されているのでクロックではありません

カウンタの書き方 / 非同期リセット付き

□ HDLなら簡単に書ける！！

複数の信号で一つの意味をなす信号
マルチビットはこのように書く

```
reg [31:0] counter;

always@(posedge CLK or negedge RSTn)begin
  if(RSTn==1'b0)begin
    counter[31:0] <= 32'd0;
  end else begin
    counter[31:0] <= counter[31:0]+32'd1;
  end
end
end
```

注意1

- @()の()内にはクロックとリセット以外書かない
- クロックposedge,negedge使える
- 最初は1つの信号(マルチビット含む)で1つのalways文を使う
 - 一つのalways文の中に複数の出力を書かない

注意2

□ 同一出力を複数の文(always)で記述しない

```
reg a;  
  
always@(~)begin  
    if(~)begin  
        a<=in_a;  
    end  
end  
  
always@(~)begin  
    if(~)begin  
        a<=in_b;  
    end  
end
```

2つのalways文で
記述されている

Simulationは通るが
合成できない事が多い
または、期待した動作と
異なる回路が生成

そもそも、どのような回路になるのか
不明な記述が多い

順序回路 最低限の文法はこれで終了です

履歴

- 2012/5/17 第1.0版 ISE13.4対応 内田智久(Esys, KEK/総研大), 林達也(大阪大学)
- 2014/8/7 第2.0版 章構成変更 内田智久(Esys, KEK/総研大)
- 2016/1/27 第3.1版 ステートマシン削除 内田智久(Esys, KEK/総研大)