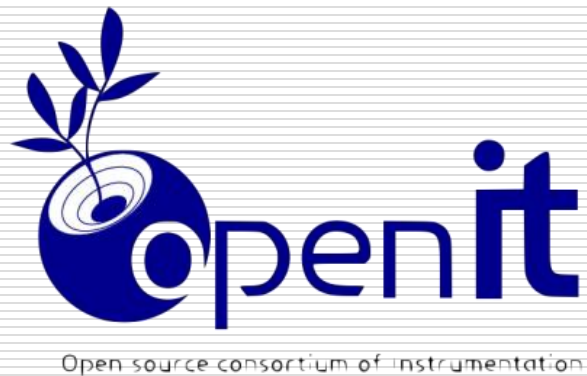


# Open-It FPGAトレーニングコース(入門編)

## 2.4 FPGAへの実装

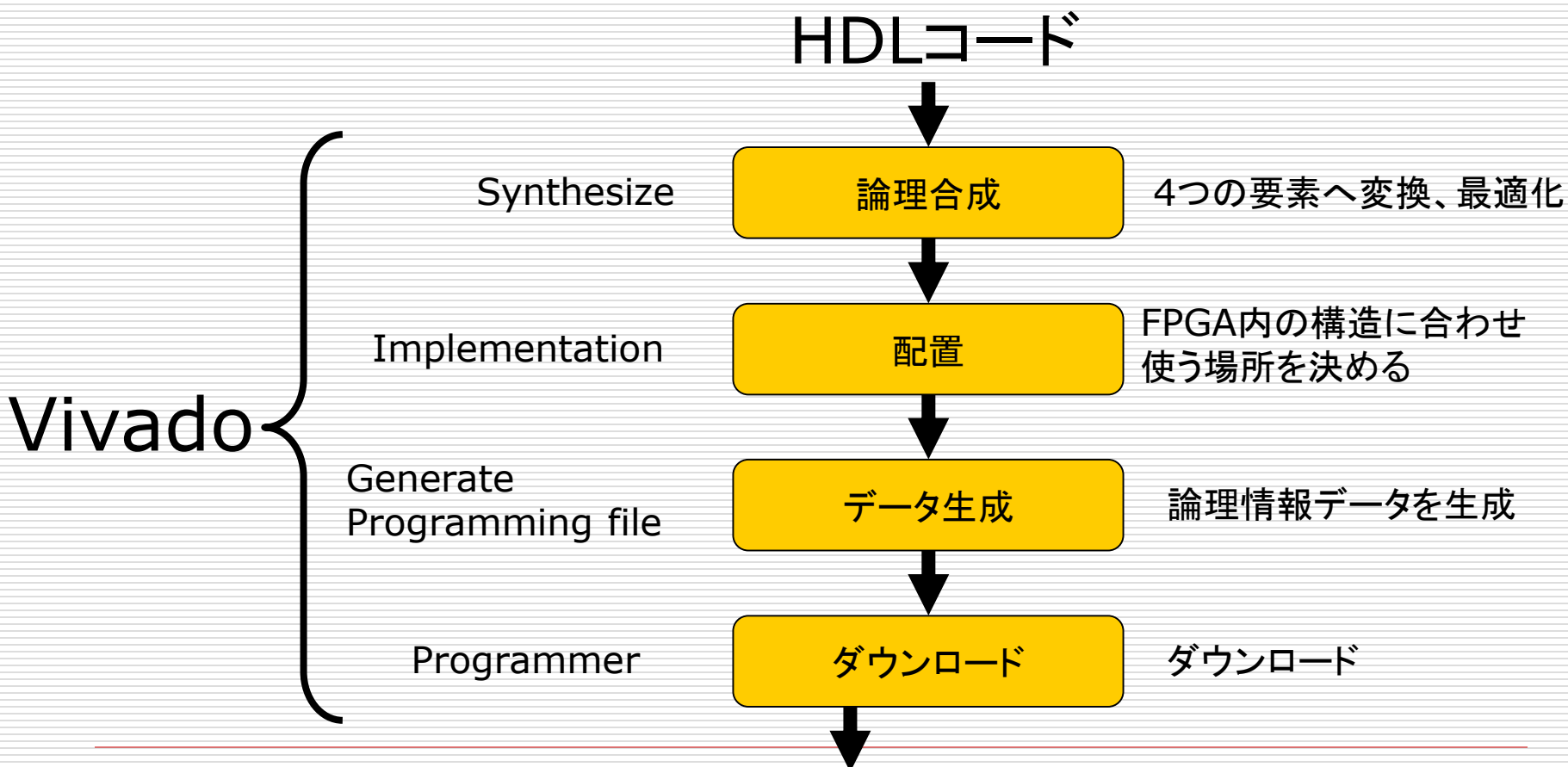
---



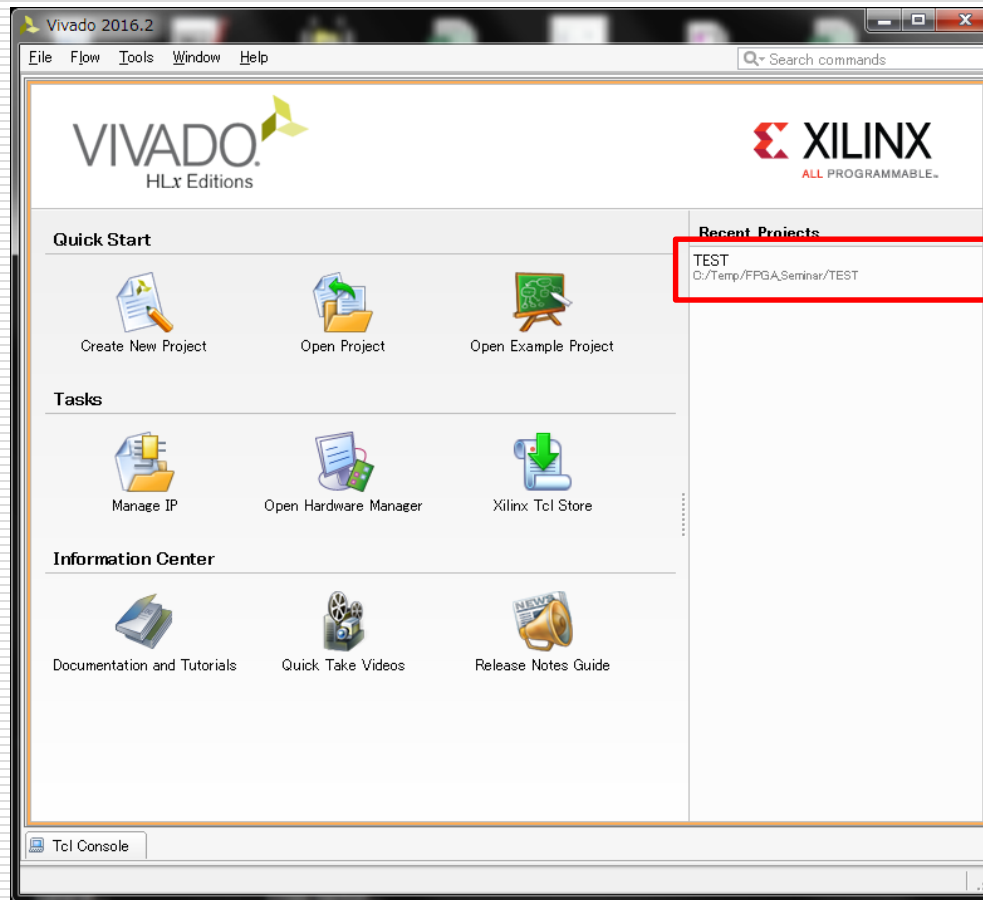
第3.4版

2016年06月22日

# FPGAへの実装方法

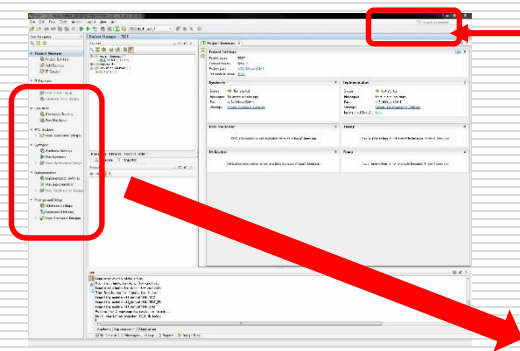


# Vivado起動

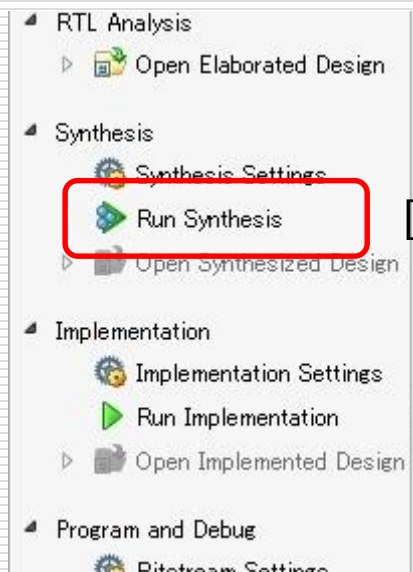


TESTをクリック

# 論理合成開始

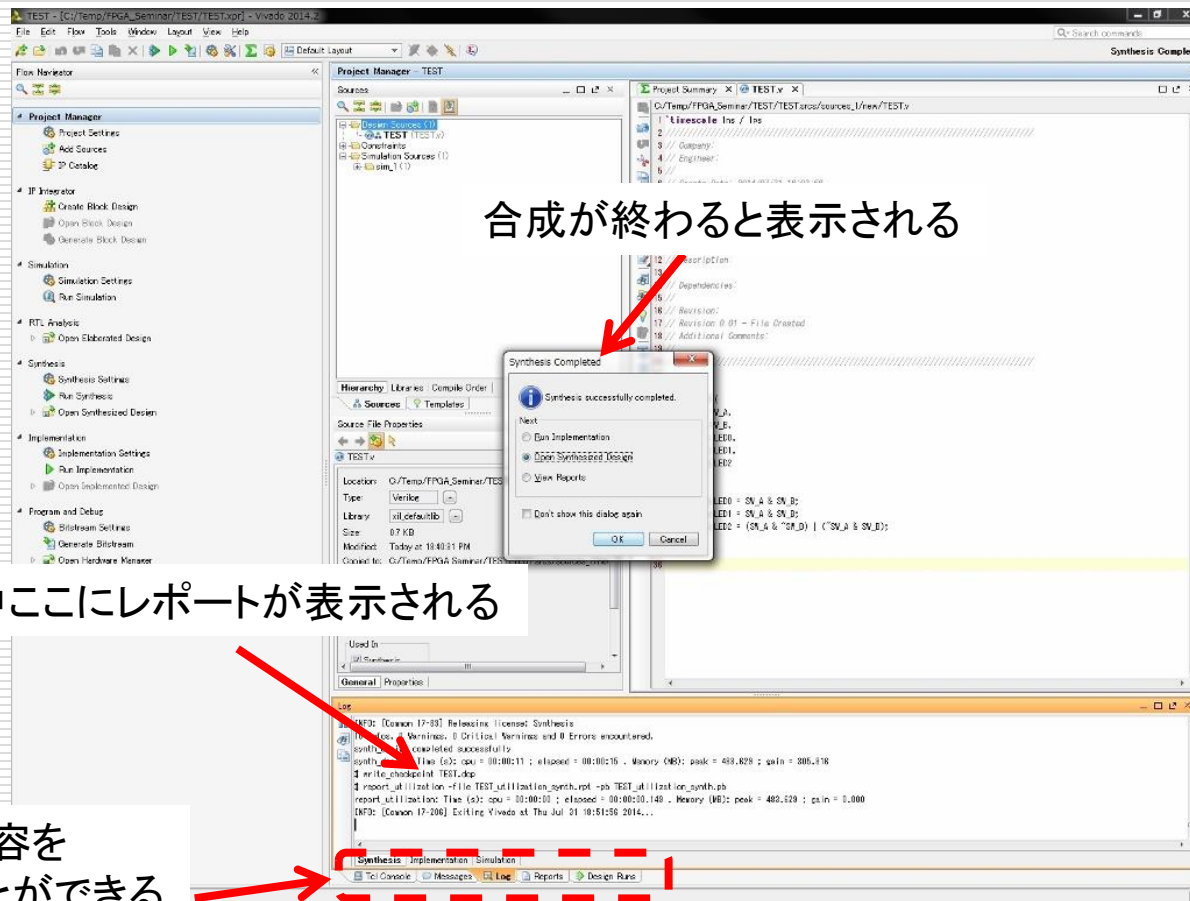


合成中はこの部分のカラーバーが動く

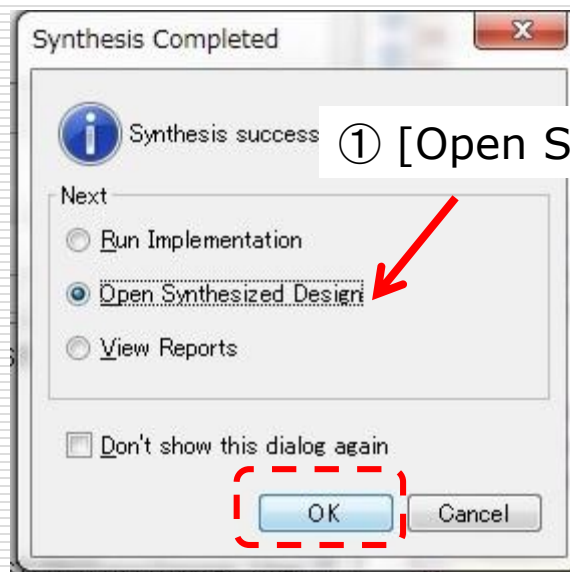


[Run Synthesis]をクリック

# 論理合成中の画面



# 論理合成結果の確認

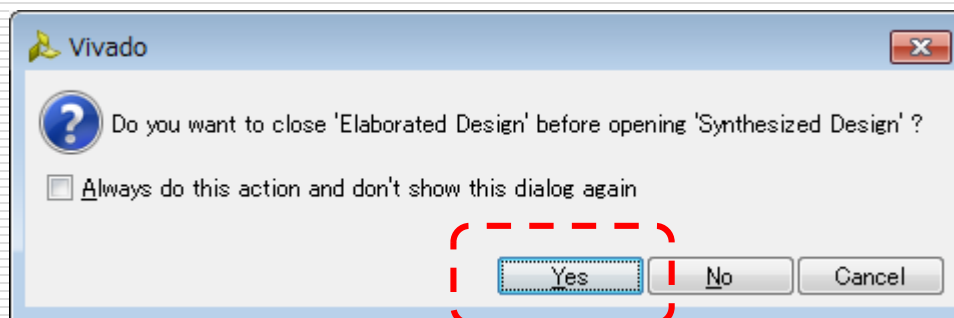


① [Open Synthesized Design]を選択

②クリック

# 合成を二回以上行ったときの注意

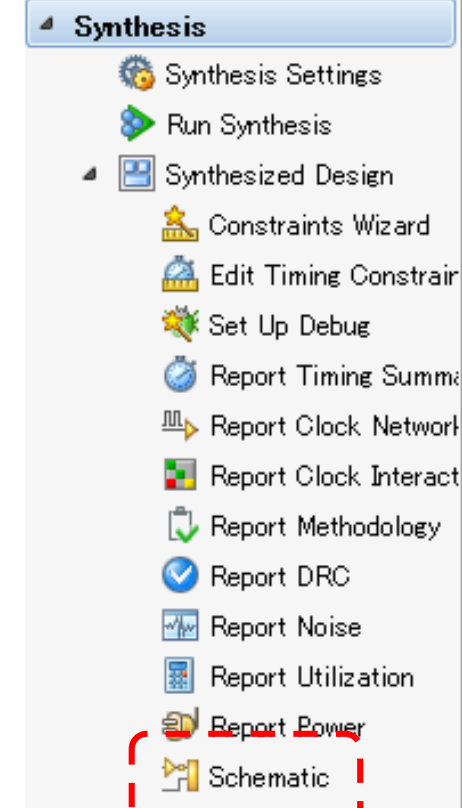
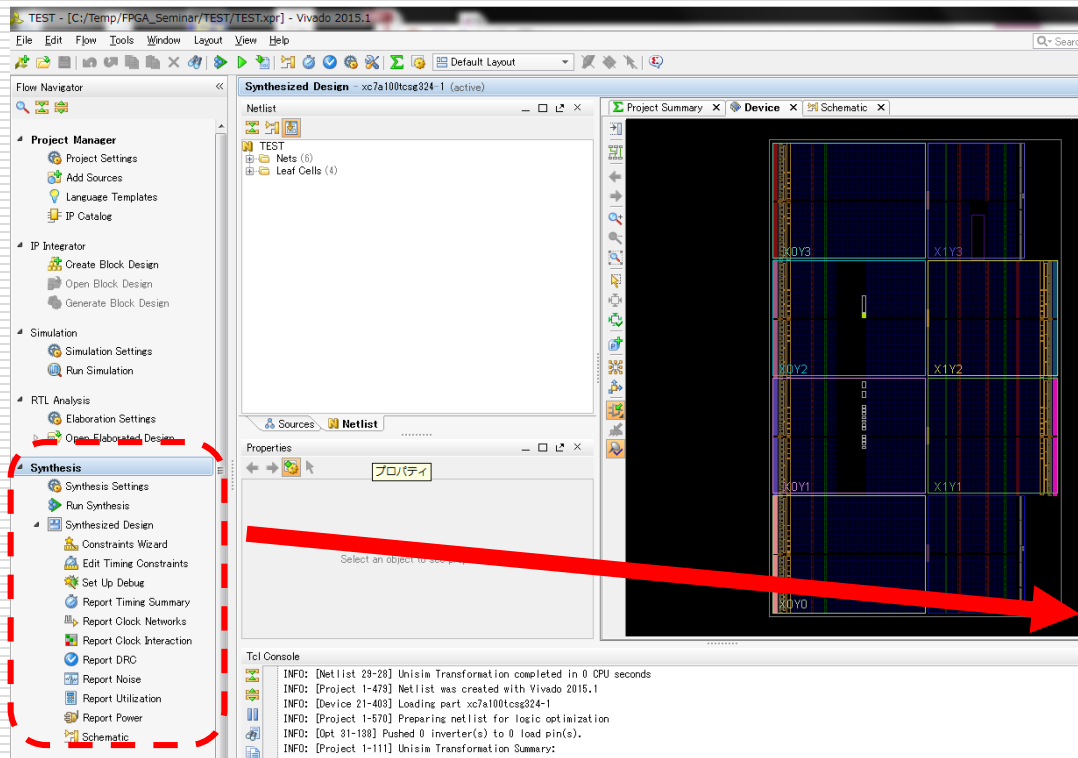
合成した結果を画面表示したまま、再度合成結果を表示させようとする  
下のような確認画面が表示される



クリック

通常(古い結果を残さない場合)はYesでOK、  
古い結果を残したい場合はNoをクリックして結果を保存するフォルダ名を入力して保存する

# 回路図の表示

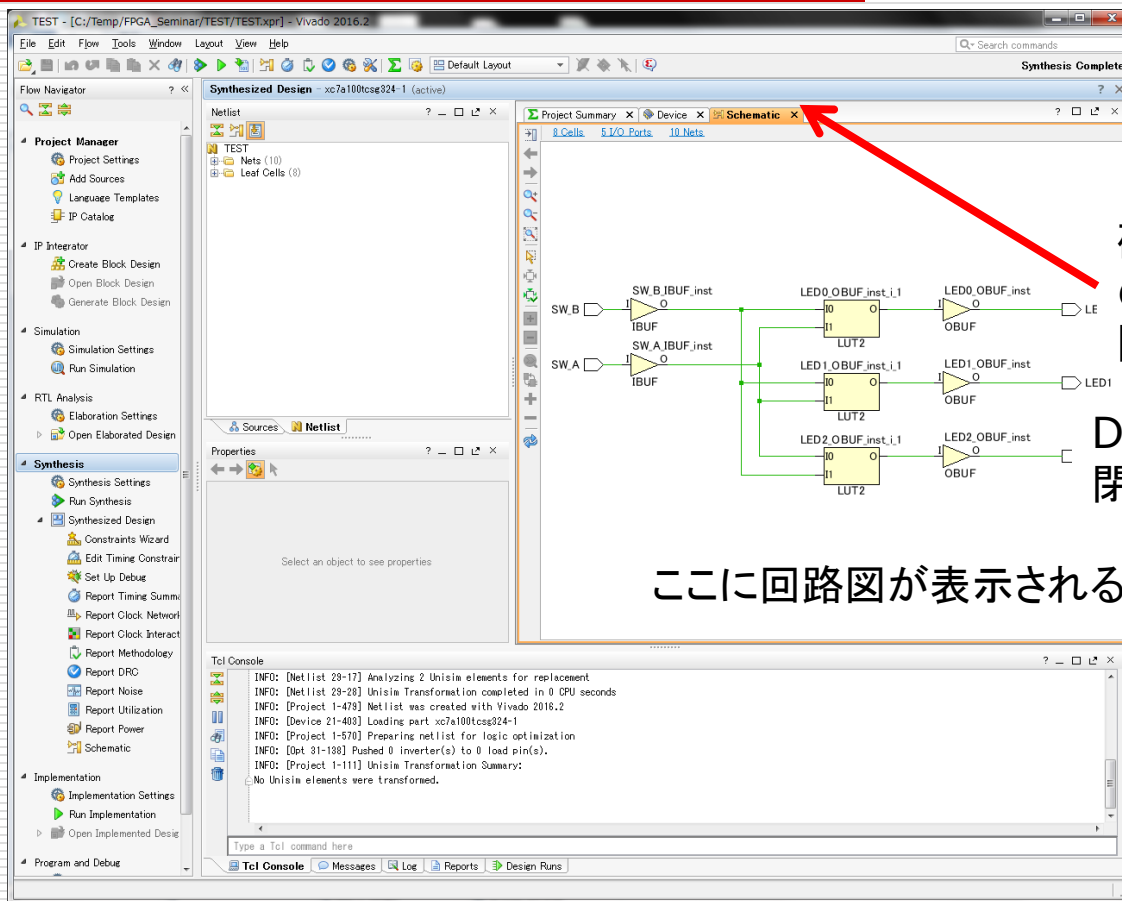


① 項目が追加された事を確認、  
色々な情報を確認する事ができる

② [Schematic]をクリック



# 回路図の確認



確認したらSchematicタブの横のx印をクリックして閉じてください

Deviceタブもx印をクリックして閉じてください

ここに回路図が表示される

# ユーザー制約

---

- ユーザーが回路に課す制約
  - I/O制約
    - 最上位モジュールのポート信号とFPGAのピン番号の関係
  - タイミング制約
    - 上限動作周波数
    - など

# I/O制約

---

- 設計した回路のポートリストに書いた各信号とFPGAピン番号と対応させる
- ツールはこの情報に従ってFPGA内の回路とFPGAピンを接続する
- 外部信号のIO規格などについても指定する
- Synthesizeまで終わらせエラーが無い状態にしてください

# ピン・アサイン

---

- ツールは信号名を知りません
  - ピンを割り当てる必要があります
  - 多くの場合、パラメータはデフォルト値でもOKですがピン番号とIO Standardは必ず設定する必要があります
- ピン情報入力はGUIツールを使用します
  - 慣れればテキストファイルを直接編集してもOK
- 注意
  - Synthesizeが終わらないとGUIを使って入力できません

# ピンリスト

Name	Package Pin	I/O Std.	Drive Str.	Off chip termination	Pull type	Slew
SW_A	U9	LVCMOS33		NONE	NONE	
SW_B	U8	LVCMOS33		NONE	NONE	
LED0	T8	LVCMOS33	12	NONE	NONE	Slow
LED1	V9	LVCMOS33	12	NONE	NONE	Slow
LED2	R8	LVCMOS33	12	NONE	NONE	Slow

使用している信号のみ設定してください。

空欄は設定不要です

# IO Standard

---

チップ間通信のために様々な規格が制定されている

用途に合わせて選択する

多くの場合はFPGAに接続する部品の規格に合わせることになる

- 良く使われる規格は
- LVCMOS
  - LVDS

詳細は使用するFPGAのデータシートを参照  
[DC and Switching Characteristics]

本セミナーでは**LVCMOS33のみ**使用します

# IOバッファ電源について

---

一般にIO standardが異なれば電源電圧も異なる

例、LVCMOSは3.3V, LVDSは2.5V

現在は一つのFPGAで異なる電源電圧が使用可能  
BANKについて後ほど説明

# IOバッファのパラメータ

---

FPGAのIOバッファは多機能です。  
様々なパラメータを設定することができます

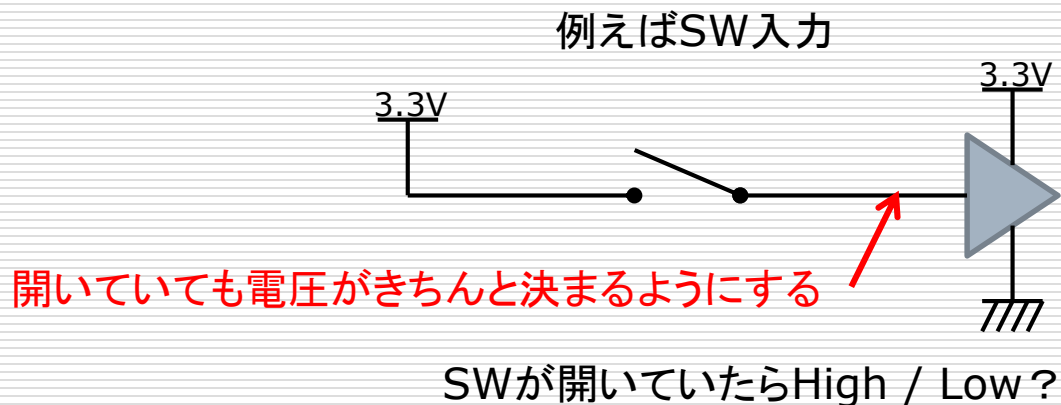
- Off-chip termination
  - ボード上(FPGAの外で)の終端
- Drive strength
  - 最大ドライブ電流
- Slew rate
  - 信号の変化速度(V/sec)
- Pull type
  - プルアップ、プルダウン、キープ
- BANK
  - バッファ電源領域



# 信号線が駆動されない時の処理

信号線が駆動されない時がある場合

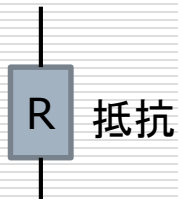
信号はHigh ?, Low ?, どうなるのでしょうか?



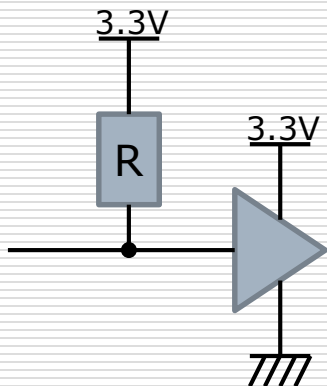
このような時はプルアップ、プルダウン抵抗などを使用します

# Pull type

FPGAではPull-up, Pull-down, Keeperが設定できる

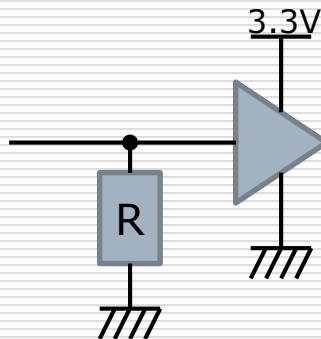


PULL UP



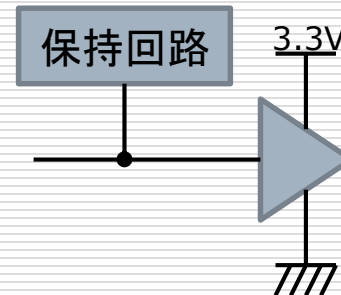
駆動されていない時は  
Highになる

PULL DOWN



駆動されていない時は  
Lowになる

KEEPER

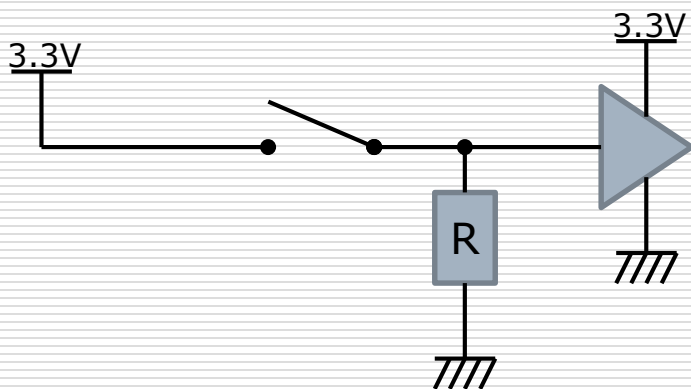


最後に駆動された  
状態を保持

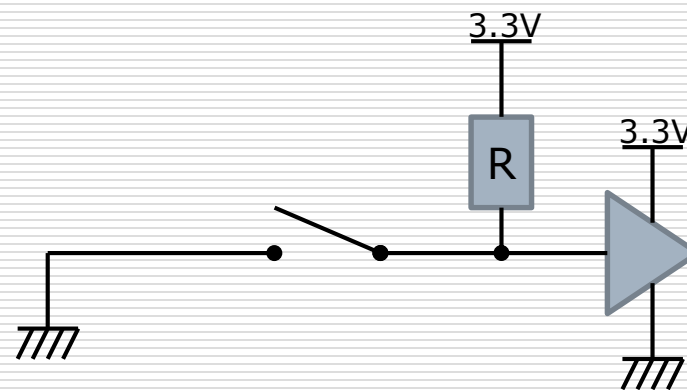
# SW入力回路

このような回路として使用されます

SWを閉じるとHighになる回路



SWを閉じるとLowになる回路



# BANK

---

- Xilinx FPGAで使用される用語
- 複数のIO電源電圧を同一FPGAで使用するために考案
- FPGAのIOバッファを複数のグループに分けたグループをBANKと名付ける
- 同一BANKに属するバッファは同じ電源端子から電源が供給される
- BANKが異なれば異なる電源を供給可能
  - 電源端子が分かれている

# BANKの例

## Spartan3AN-50

分かりやすいQFPパッケージの例として

### TQG144: 144-lead Thin Quad Flat Package

The XC3S50AN is available in the 144-lead thin quad flat package, TQG144.

Table 68 lists all the package pins. They are sorted by bank number and then by pin name. Pins that form a differential I/O pair appear together in the table. The table also shows the pin number for each pin and the pin type, as defined earlier.

The XC3S50AN does not support the address output pins for the Byte-wide Peripheral Interface (BPI) configuration mode.

An electronic version of this package pinout table and footprint diagram is available for download from the Xilinx website at [www.xilinx.com/support/documentation/data\\_sheets/s3a\\_pin.zip](http://www.xilinx.com/support/documentation/data_sheets/s3a_pin.zip).

#### Pinout Table

Table 68: Spartan-3AN TQG144 Pinout

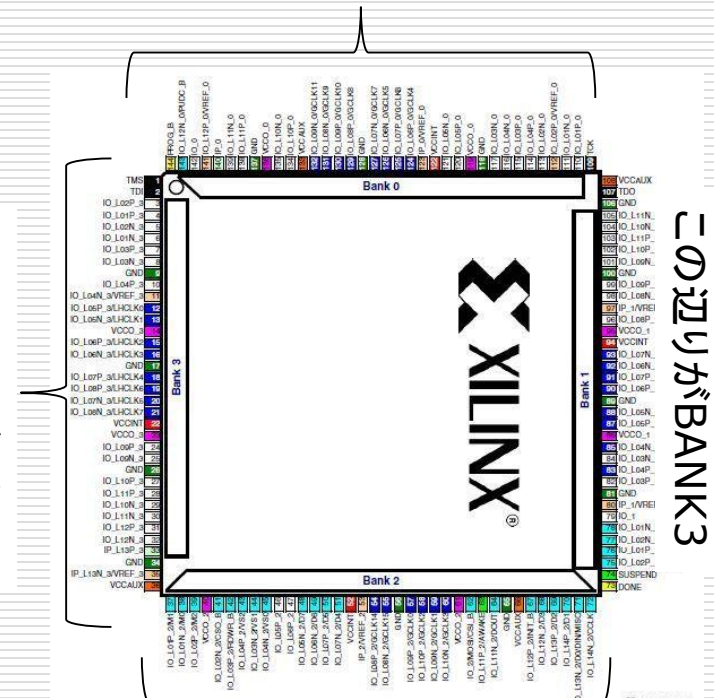
Bank	Pin Name	Pin	Type
0	IO_0	P142	I/O
0	IO_L01N_0	P111	I/O
0	IO_L01P_0	P110	I/O
0	IO_L02N_0	P113	I/O
0	IO_L02P_0/VREF_0	P112	VREF
0	IO_L03N_0	P117	I/O
0	IO_L03P_0	P115	I/O
0	IO_L04N_0	P116	I/O
0	IO_L04P_0	P114	I/O
0	IO_L05N_0	P121	I/O
0	IO_L05P_0	P120	I/O
0	IO_L06N_0/GCLK5	P126	GCLK
0	IO_L06P_0/GCLK4	P124	GCLK
0	IO_L07N_0/GCLK7	P127	GCLK
0	IO_L07P_0/GCLK6	P125	GCLK
0	IO_L08N_0/GCLK9	P131	GCLK
0	IO_L08P_0/GCLK8	P129	GCLK
0	IO_L09N_0/GCLK11	P132	GCLK
0	IO_L09P_0/GCLK10	P130	GCLK
0	IO_L10N_0	P135	I/O

Table 68: Spartan-3AN TQG144 Pinout (Cont'd)

Bank	Pin Name	Pin	Type
0	IP_0/VREF_0	P123	VREF
0	VCCO_0	P119	VCCO
0	VCCO_0	P136	VCCO
1	IO_1	P79	I/O
1	IO_L01N_1/LDC2	P78	DUAL
1	IO_L01P_1/HDC	P76	DUAL
1	IO_L02N_1/LDC0	P77	DUAL
1	IO_L02P_1/LDC1	P75	DUAL
1	IO_L03N_1	P84	I/O
1	IO_L03P_1	P82	I/O
1	IO_L04N_1/RHCLK1	P85	RHCLK
1	IO_L04P_1/RHCLK0	P83	RHCLK
1	IO_L05N_1/TRDY1/RHCLK3	P88	RHCLK
1	IO_L05P_1/RHCLK2	P87	RHCLK
1	IO_L06N_1/RHCLK5	P92	RHCLK
1	IO_L06P_1/RHCLK4	P90	RHCLK
1	IO_L07N_1/RHCLK7	P93	RHCLK
1	IO_L07P_1/RDY1/RHCLK6	P91	RHCLK
1	IO_L08N_1	P98	I/O
1	IO_L08P_1	P96	I/O
1	IO_L09N_1	P101	I/O
1	IO_L09P_1	P99	I/O
1	IO_L10N_1	P104	I/O
1	IO_L10P_1	P102	I/O
1	IO_L11N_1	P105	I/O
1	IO_L11P_1	P103	I/O
1	IP_1/VREF_1	P80	VREF
1	IP_1/VREF_1	P97	VREF
1	VCCO_1	P86	VCCO
1	VCCO_1	P95	VCCO
2	IO_2/MOSI/CSI_B	P62	DUAL
2	IO_L01N_2/M0	P38	DUAL
2	IO_L01P_2/M1	P37	DUAL
2	IO_L02N_2/CSO_B	P41	DUAL

BANK番号

この辺りがBANK0



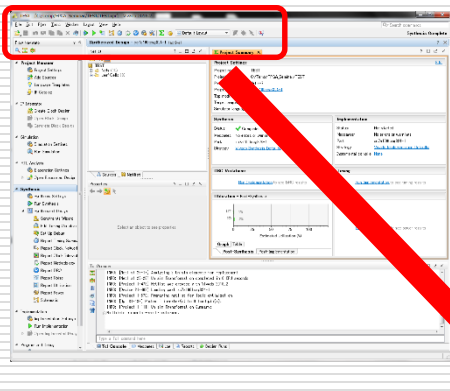
この辺りがBANK1

この辺りがBANK3

Figure 19: XC3S50AN FPGA in TQG144 Package Footprint (Top View)

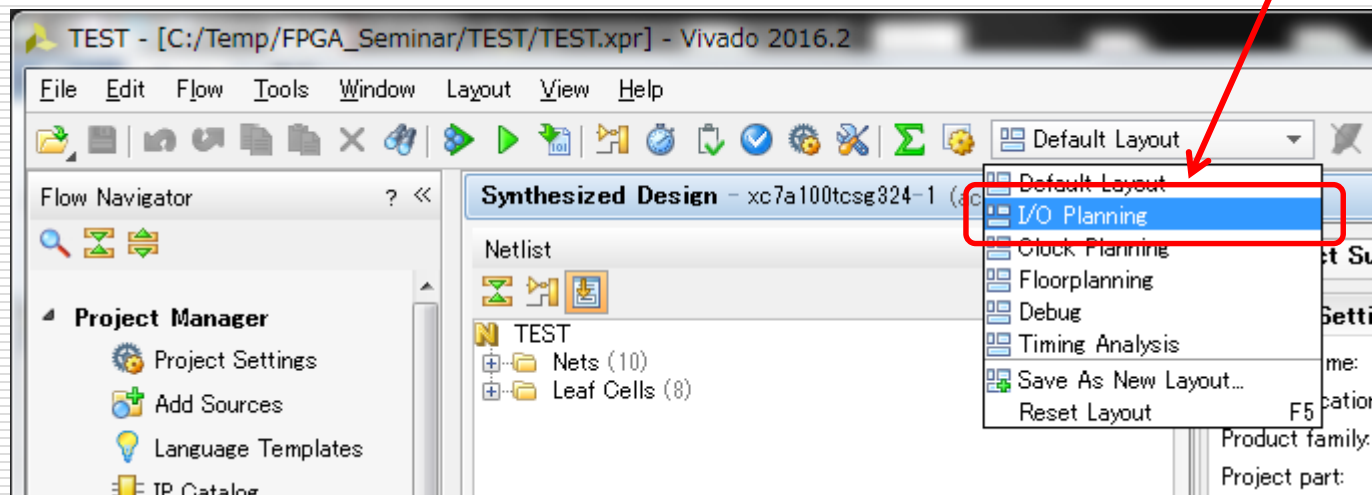
この辺りがBANK2

# 画面レイアウトをIO planningへ変更

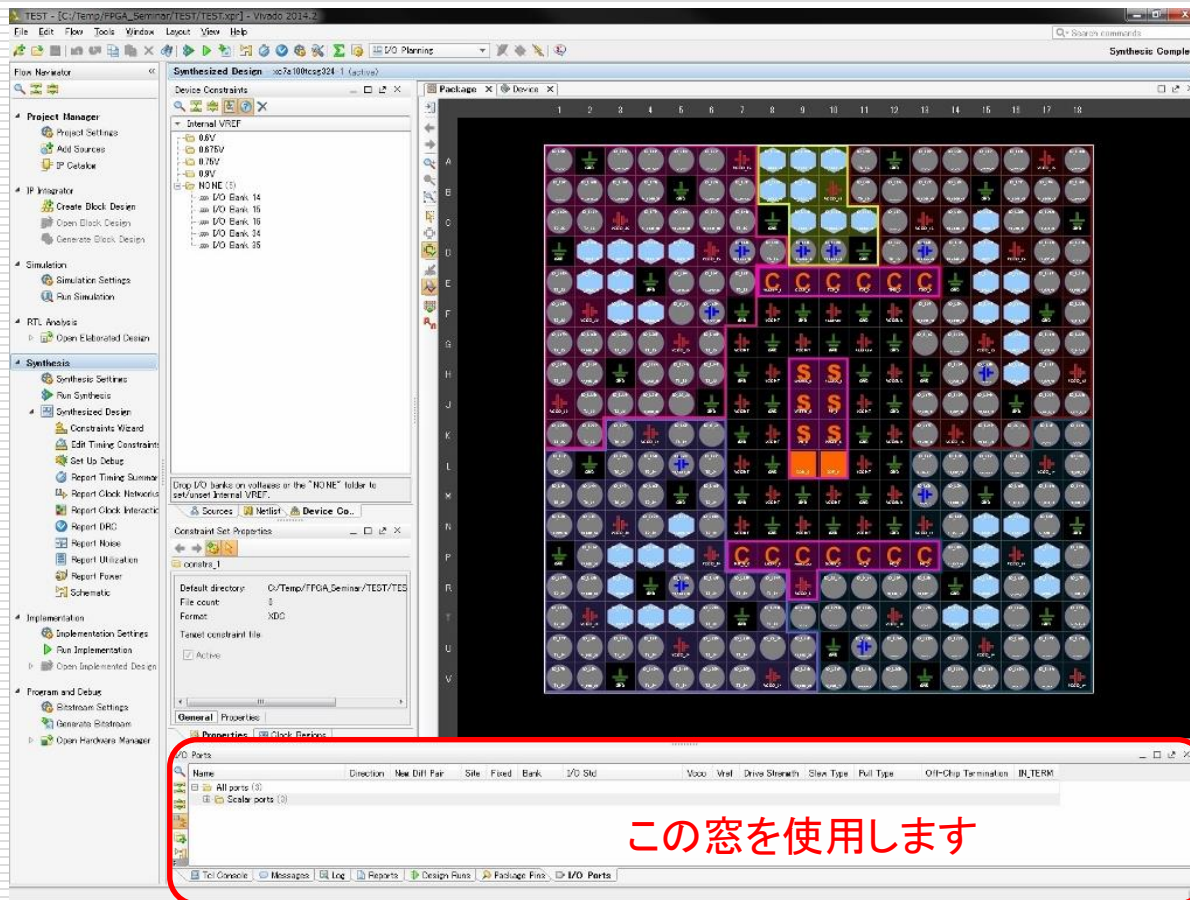


I/O Planningが表示されない人は左窓のFlow NavigatorからSynthesized Designをクリックしてください

プルダウンメニューからI/O Planningを選択

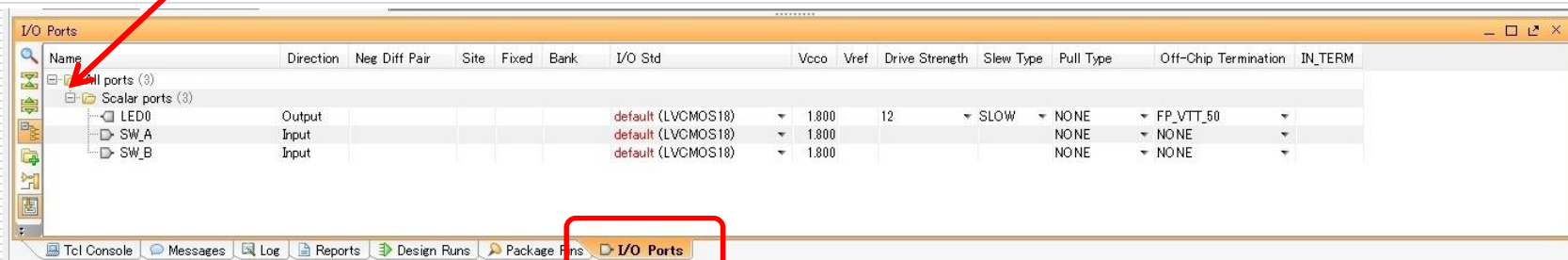


# I/O planning 画面



# I/O Port listの表示

② Scalar portsフォルダの左側をクリックして展開してください



① IO Portsを選択

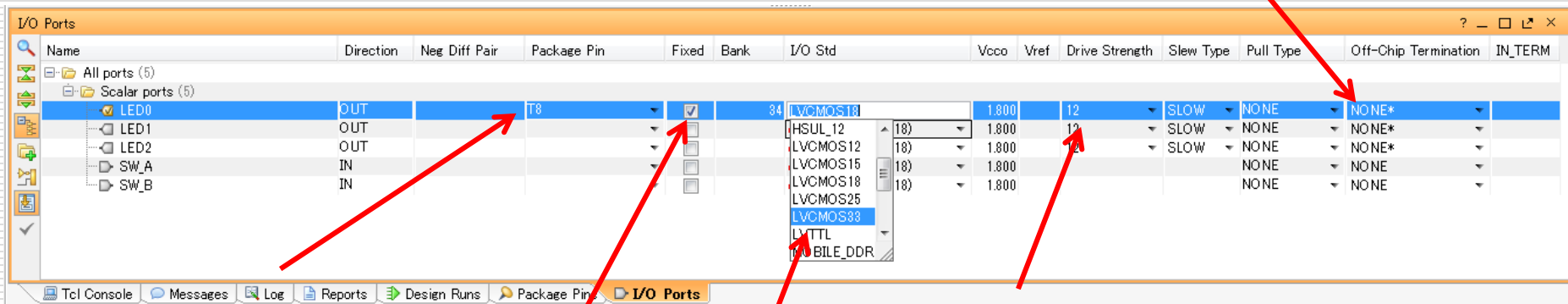


# I/O制約の入力

ピンサイン表を見ながら各項目を設定します

下はLED0の設定例です

⑤ プルダウンメニューからNONEを選択



① ピン番号を入力

プルダウンメニューから選択、  
直接打ち込む、どちらでも良い

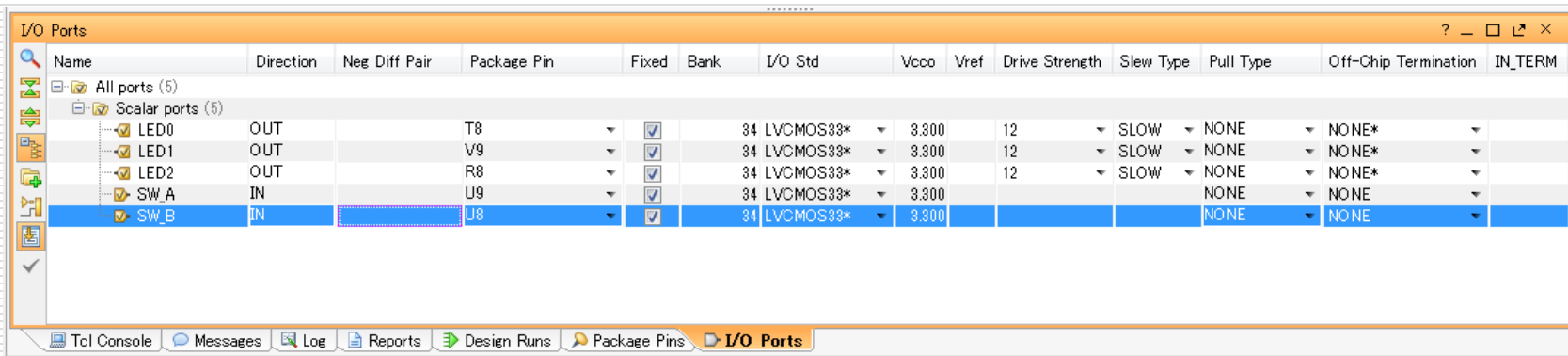
② Fixedにチェックを入れる

④ プルダウンメニューから12を選択

③ プルダウンメニューからLVCOMS33を選択

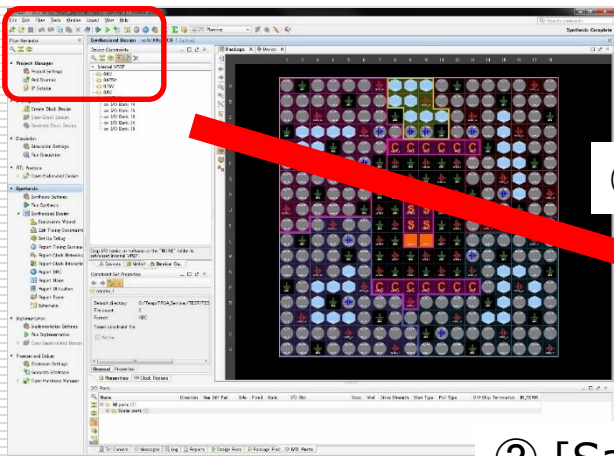
ピンリストを見ながら他の信号も設定してください

# 設定されたIO

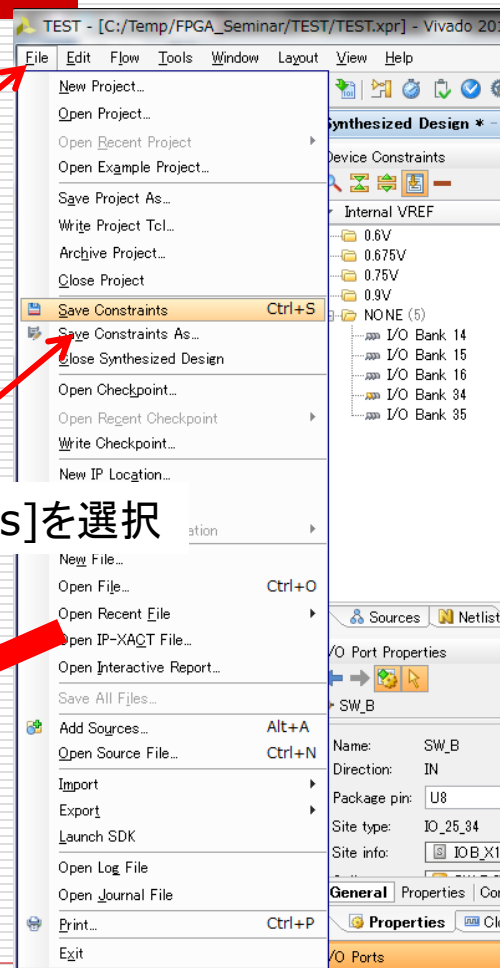


Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Termination	IN_TERM
All ports (5)													
Scalar ports (5)													
LED0	OUT		T8	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		12	SLOW	NONE	NONE*	
LED1	OUT		V9	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		12	SLOW	NONE	NONE*	
LED2	OUT		R8	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300		12	SLOW	NONE	NONE*	
SW_A	IN		U9	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300				NONE	NONE	
SW_B	IN		U8	<input checked="" type="checkbox"/>	34	LVC MOS33*	3.300				NONE	NONE	

# 制約の保存



① [File]から

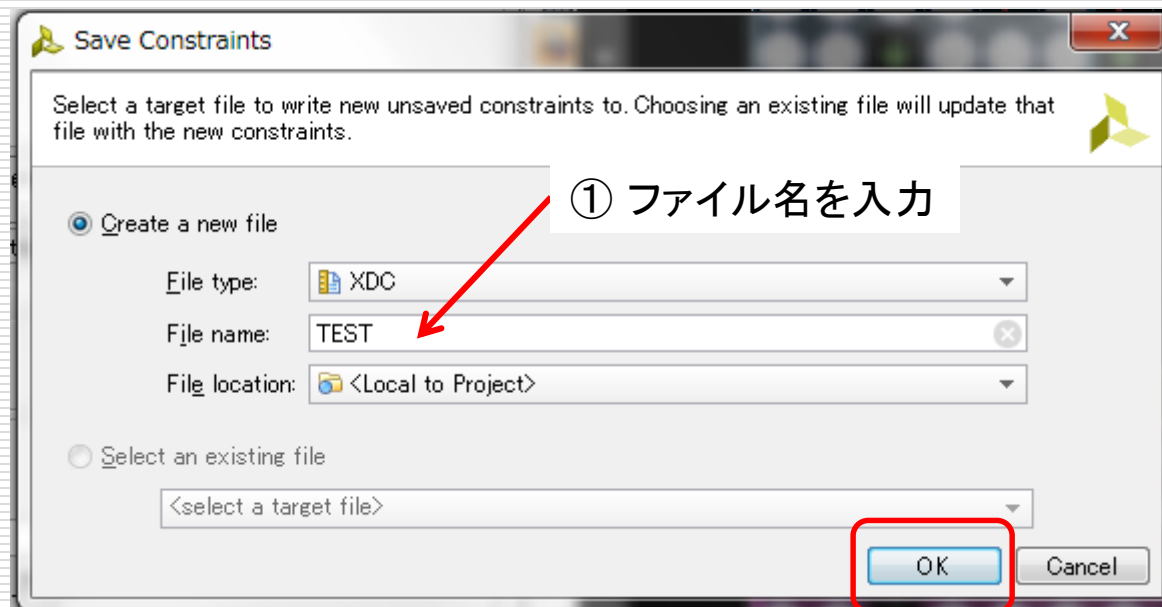


② [Save Constraints]を選択



② クリック

# 制約ファイル名の指定



② クリック

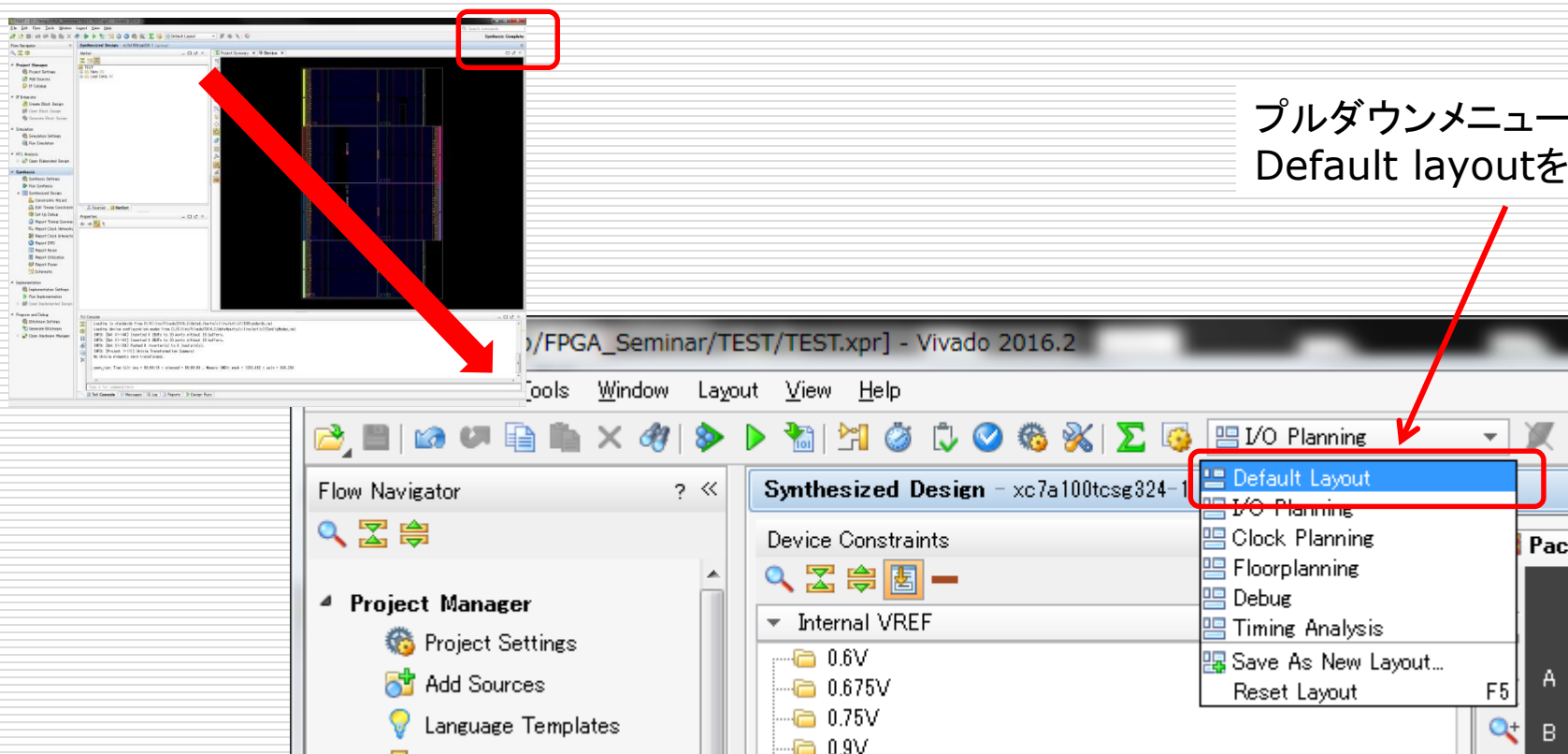
ファイル名はTEST.XDCとなる。このファイルはテキストファイルであり直接テキストエディタで編集する事ができる。IO制約のみではなく他の制約もこのファイルに命令を書き込んで使用する

# XDCファイルとは？

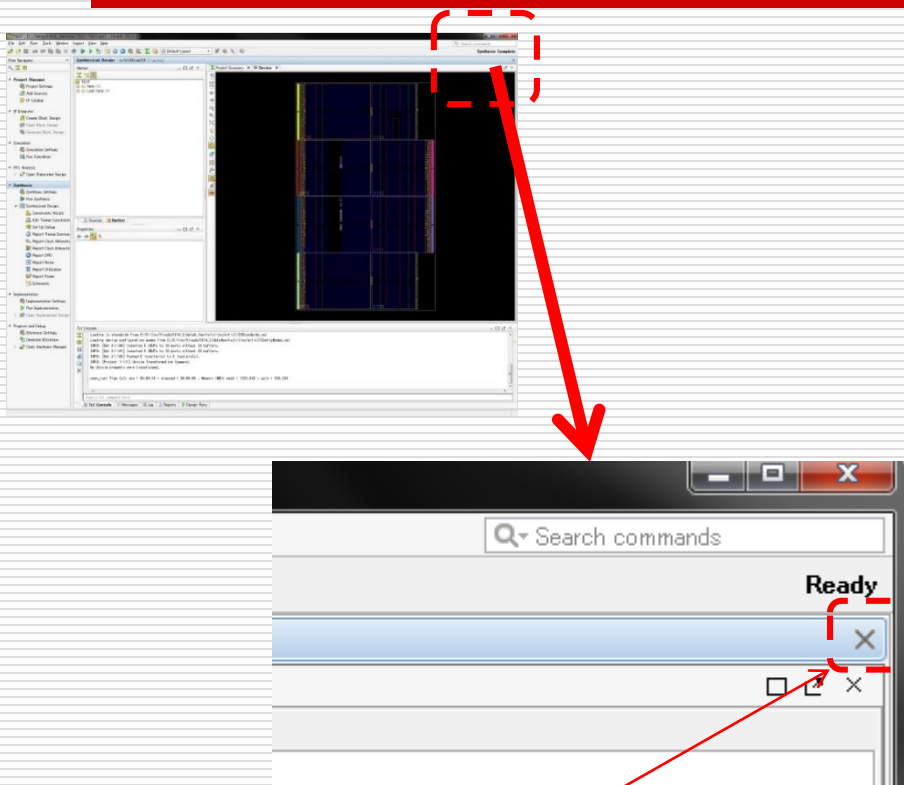
---

- ユーザーの要求や制約を記述するファイル
  - テキストファイル
  - ここではTEST.xdc
    - 生成場所
      - C:¥Temp¥FPGA\_Seminar¥TEST¥TEST.srcs¥constrs\_1¥new¥TEST.xdc
- 制約例
  - ピン配置
  - タイミングなど
- ユーザーが指定することはXDCに書く

# 画面レイアウトをDefaultへ戻す

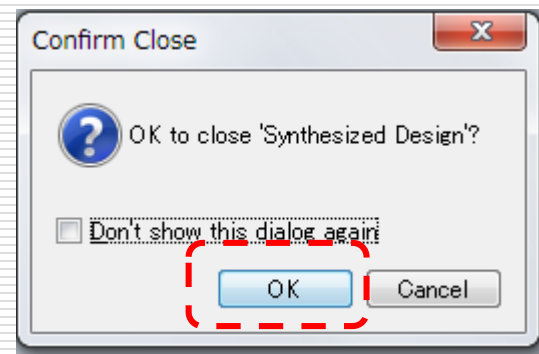


# Synthesized Designを閉じる



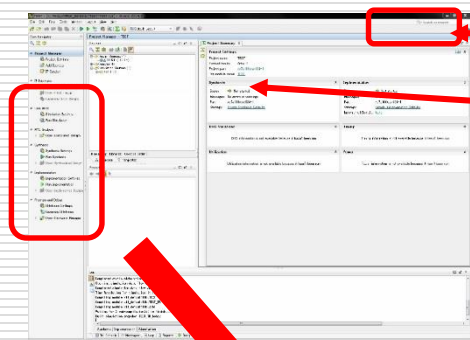
① Synthesized Designと書かれている帯の右端にあるXをクリックして閉じる

② 確認画面



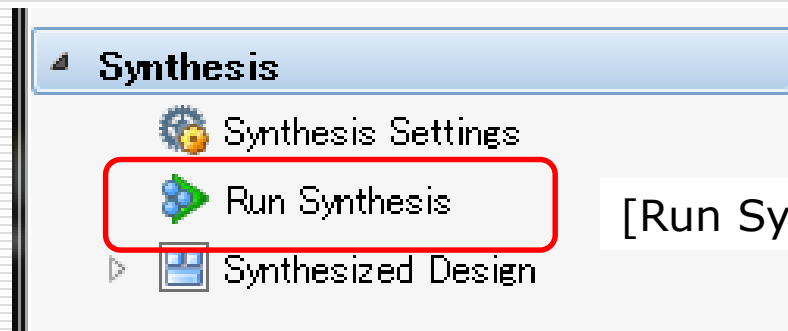
クリック

# 再度、論理合成



合成中はこの部分のカラーバーが動く

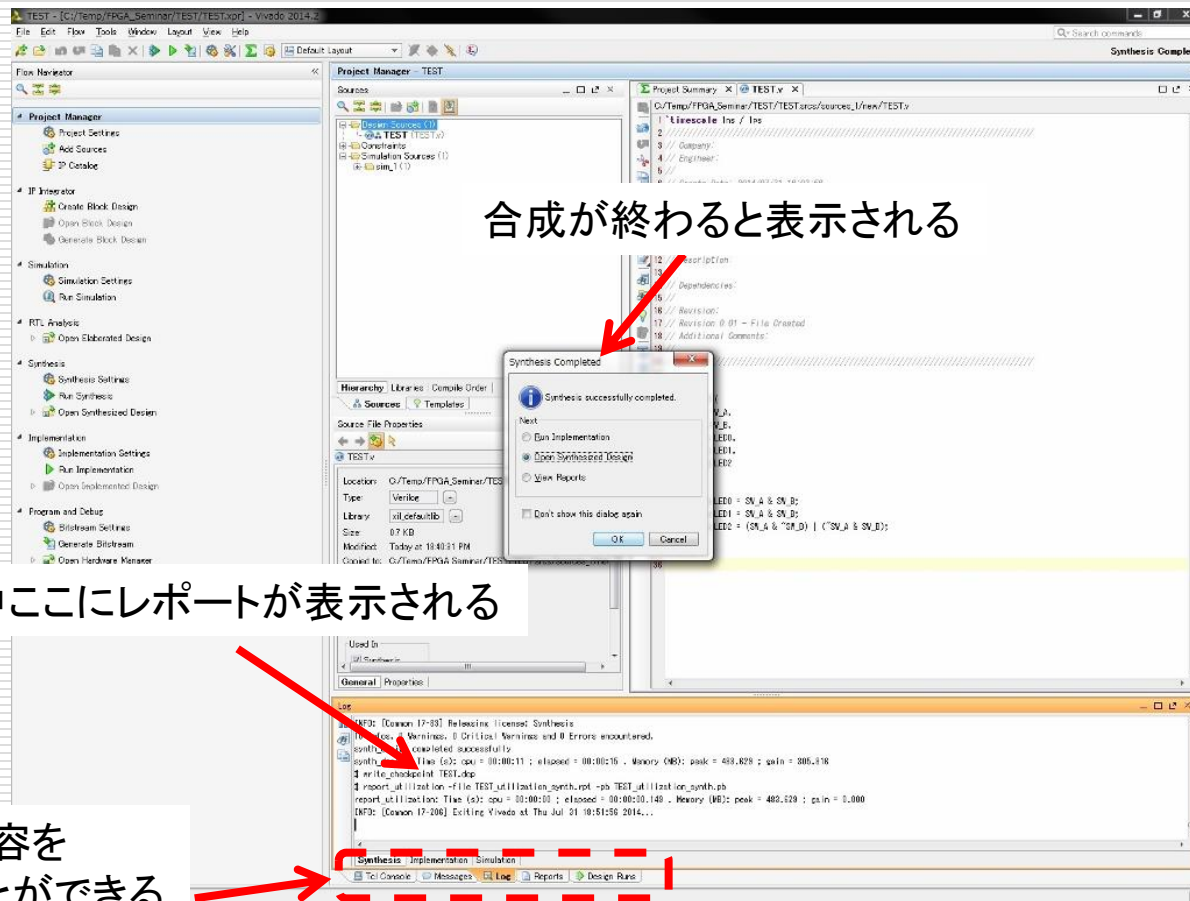
合成中はここの緑の丸が回る



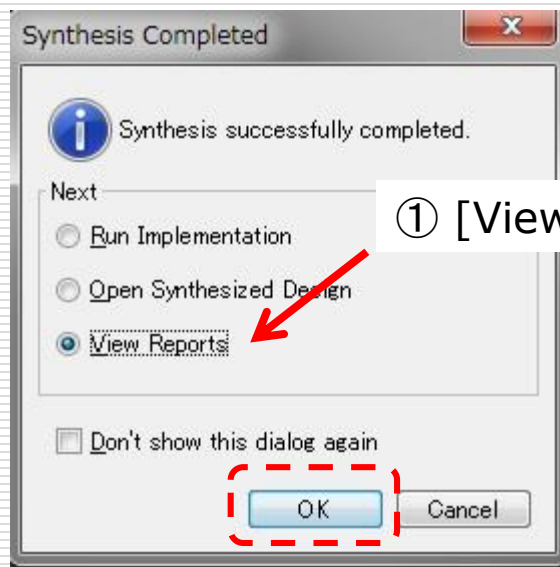
[Run Synthesis]をクリック



# 論理合成中の画面



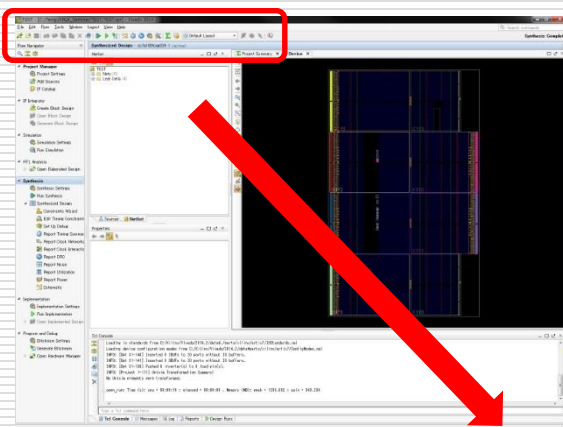
# 論理合成結果の確認



① [View reports]を選択

②クリック

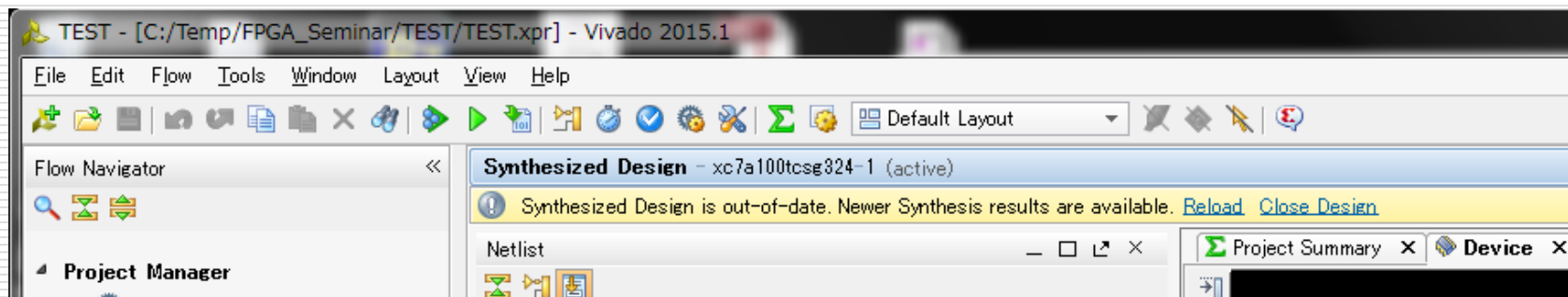
# Synthesized designを閉じる



上部に黄色の帯が表示されている人

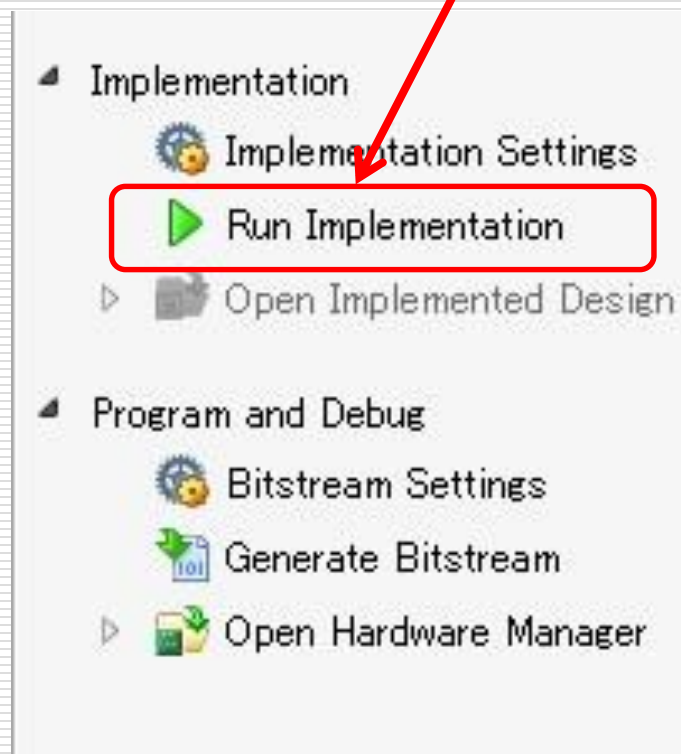
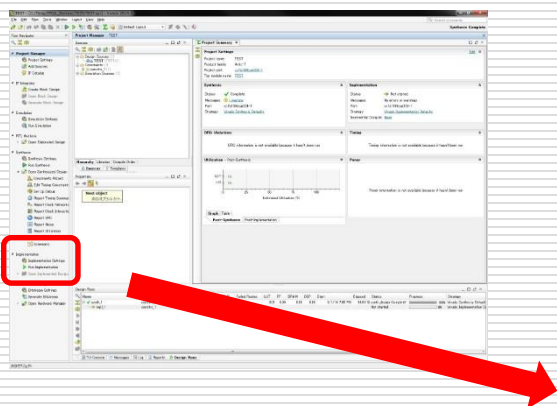
表示されていない人は先へ進んでください

[Close design]をクリック、  
(「古いdesign情報を閉じる」意味)

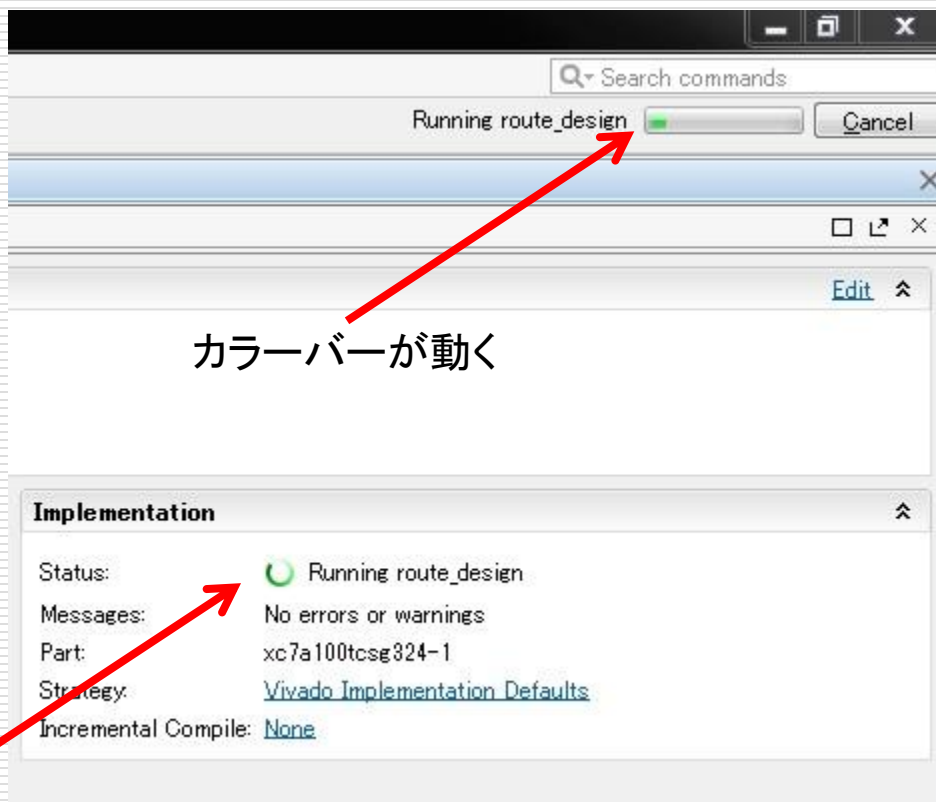
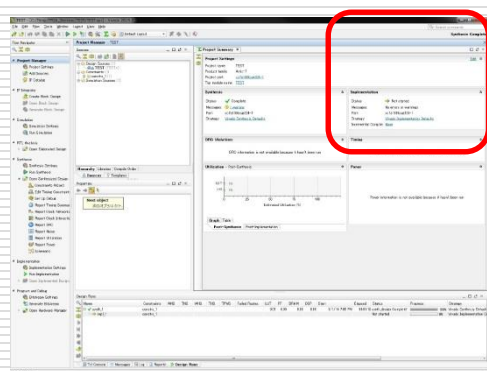


# 配置配線の実行

[Run Implementation]をクリック



# 配置配線中の画面

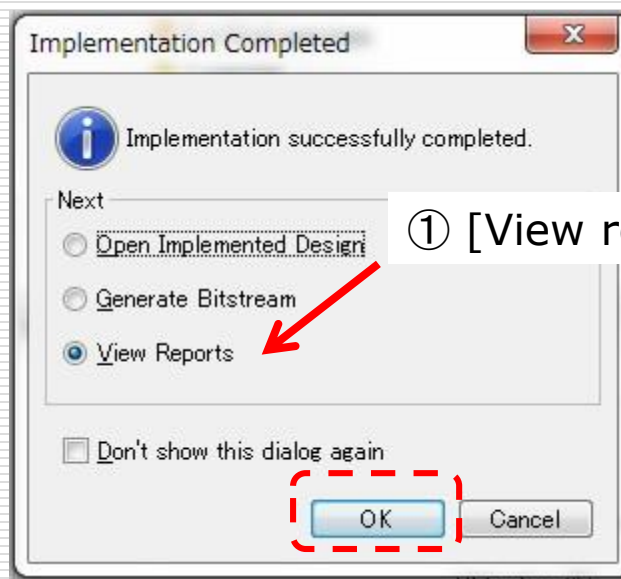


カラーバーが動く

StatusがRunning xxxになる  
(xxx部分は進行状況で変わる)

# 配置配線結果の確認

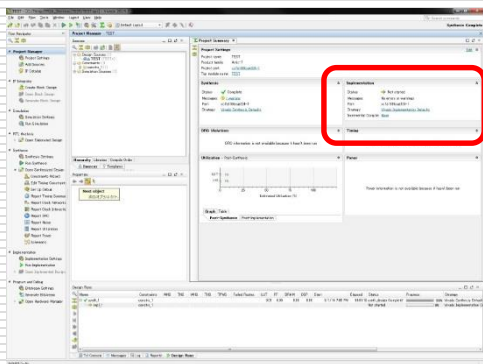
配置配線が終わると表示される



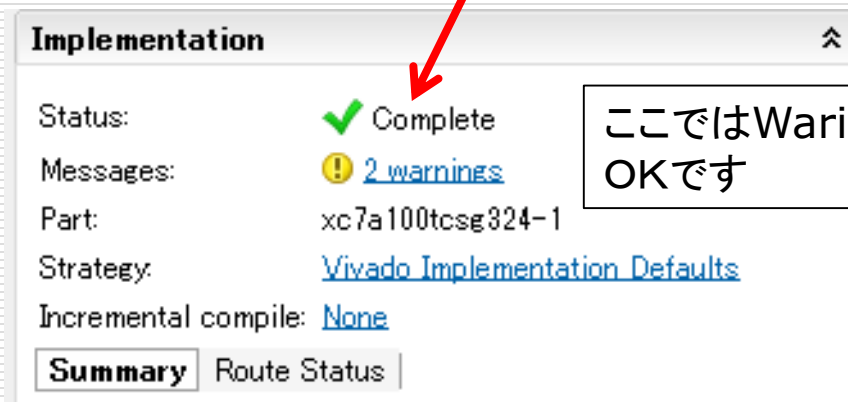
① [View reports]を選択

②クリック


# 配置配線結果を確認




Completeになっていることを確認



**Implementation**

Status:  Complete

Messages:  [2 warnings](#)

Part: xc7a100tcsq324-1

Strategy: [Vivado Implementation Defaults](#)

Incremental compile: [None](#)

**Summary** Route Status

ここではWarningがあってもOKです

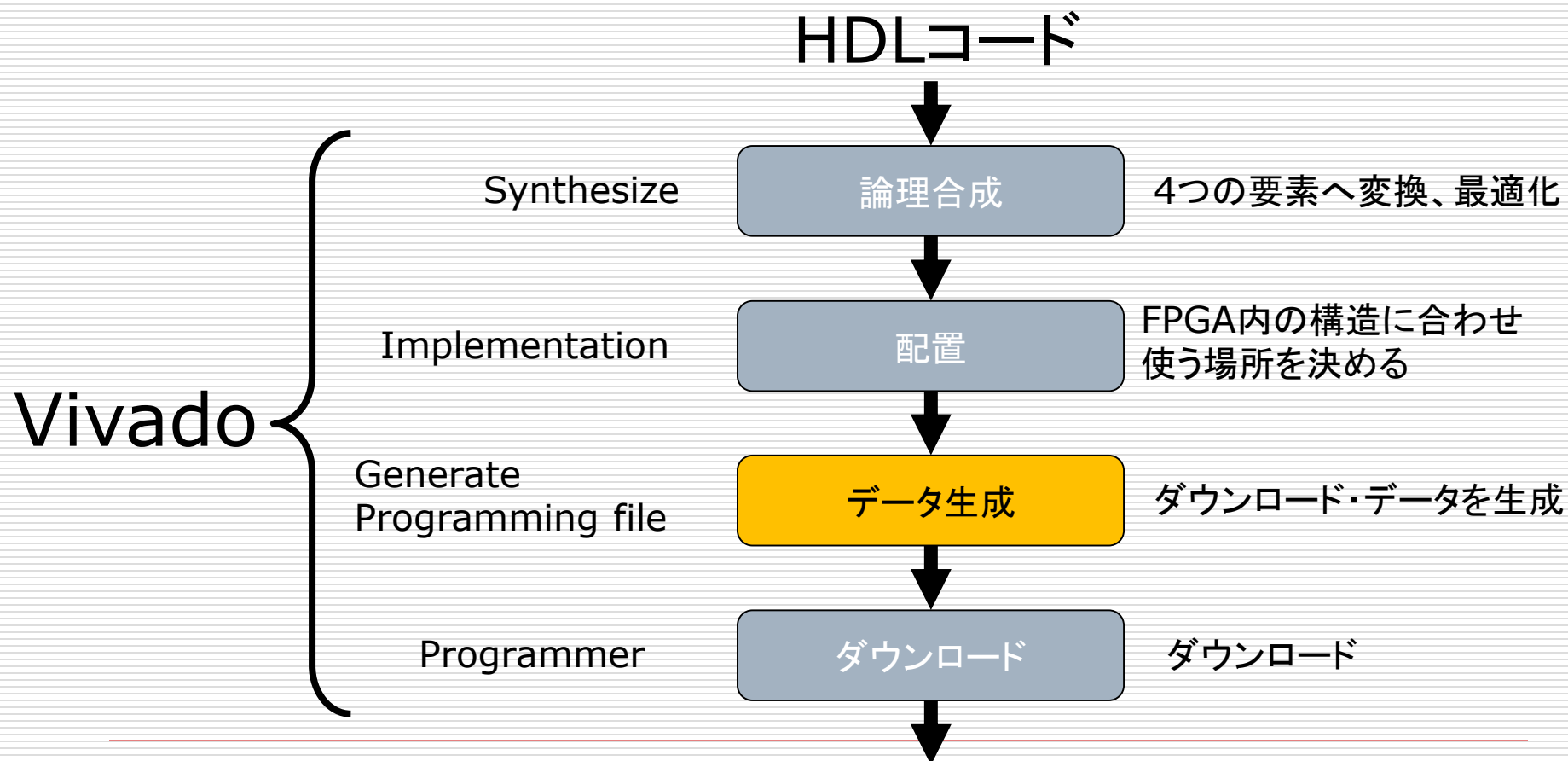
以上で配置配線が終了しました

---

# データファイルの生成



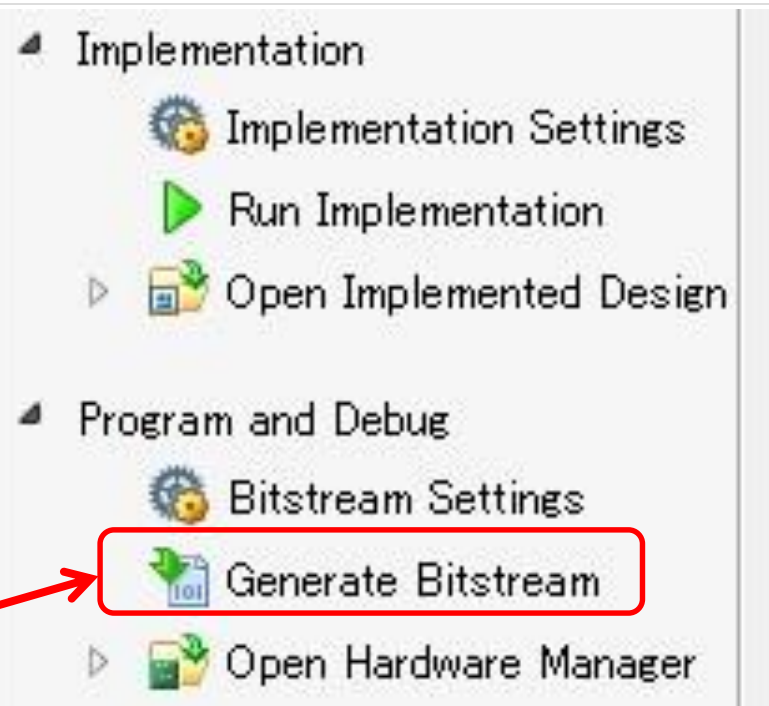
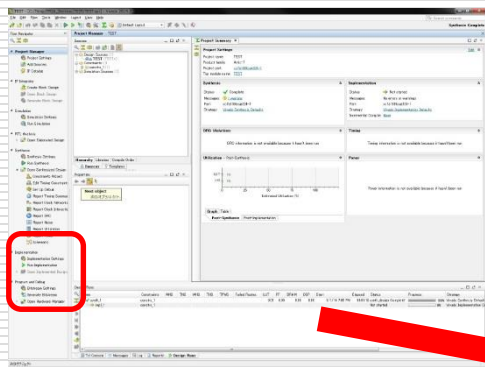
# データファイルの生成



# FPGAデータのフォーマット

---

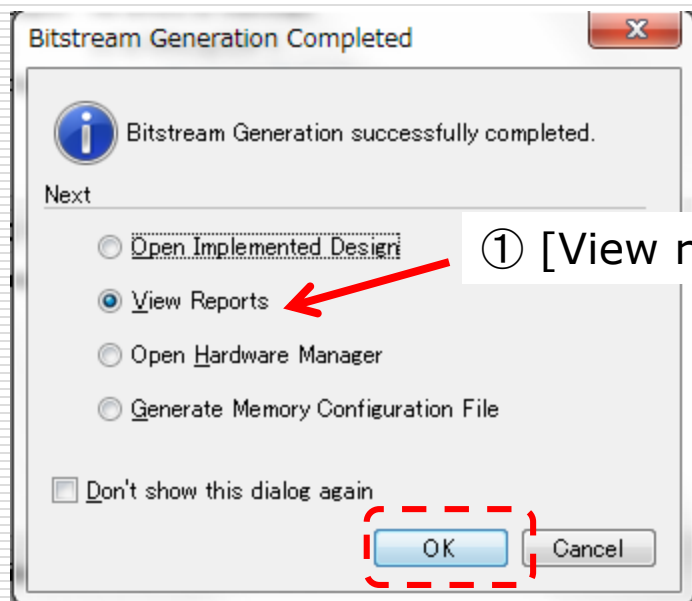
- 幾つかの種類があります。
  - BIN, BIT, MCS, etc. ...
  
- ここではBITファイルを使用します。
  - デフォルトで生成される
  - デバック時使用する事が多い
    - JTAG I/Fを用いて直接書き込む時に使用
    - 電源投入後、毎回手動でダウンロード



[Generate Bitstream]をクリック

# 結果確認

データ生成が終わると表示される



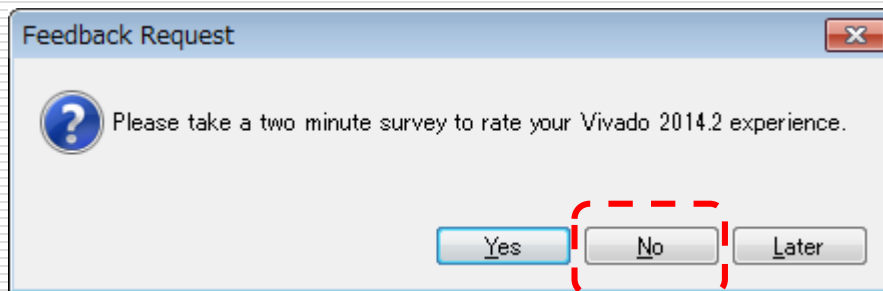
① [View reports]を選択

②クリック

# アンケート依頼

---

下のような窓が表示されることがある



アンケートに答えるならYes 通常はNoが良い

---

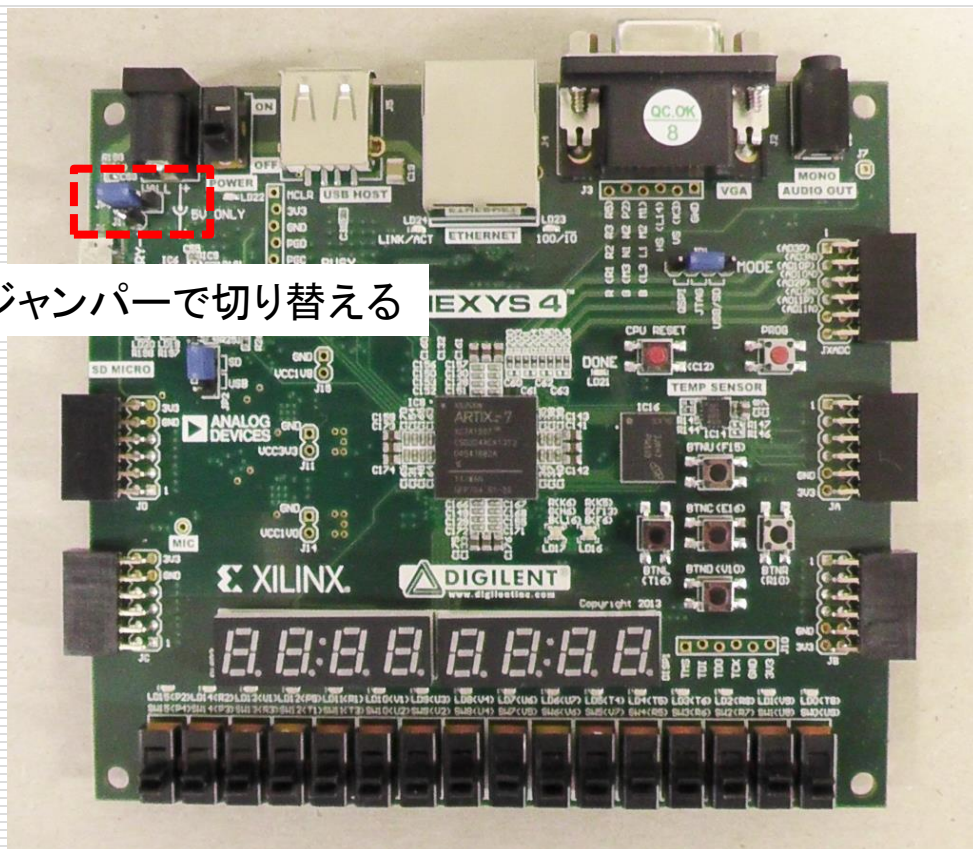
# FPGAへダウンロード JTAG mode

# ダウンロード手順概要

---

1. ボードの電源をUSBから取るように設定
2. ボードのBoot modeを**JTAG**にする
3. USBケーブル(ダウンロード・ケーブル)を接続
4. ケーブル・ドライバのインストール
5. データをダウンロードする。

# 電源切り替え



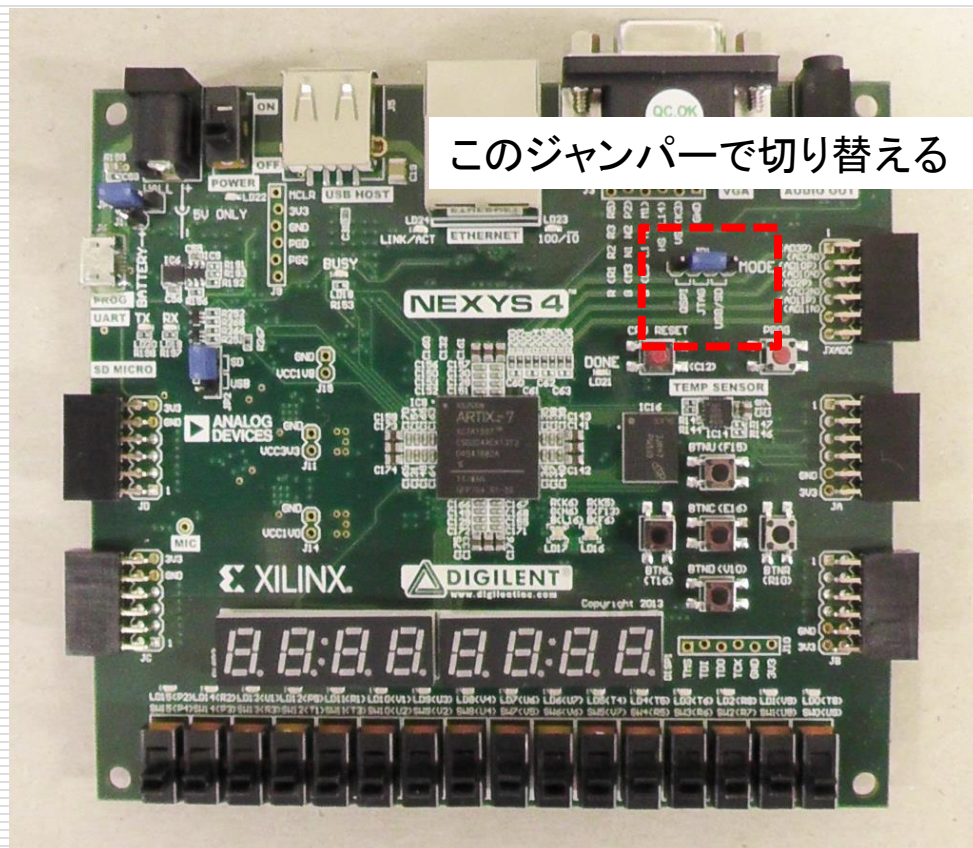
このジャンパーで切り替える

## USBから電源を取る設定



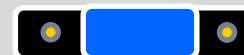


# Boot Modeの設定 JTAG



このジャンパーで切り替える

## JTAG mode



QSPI

JTAG

USB/SD

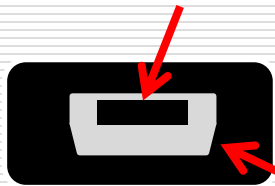
中央に2本をジャンパで接続

# USBケーブル接続と電源投入

① PCとUSBケーブルで接続

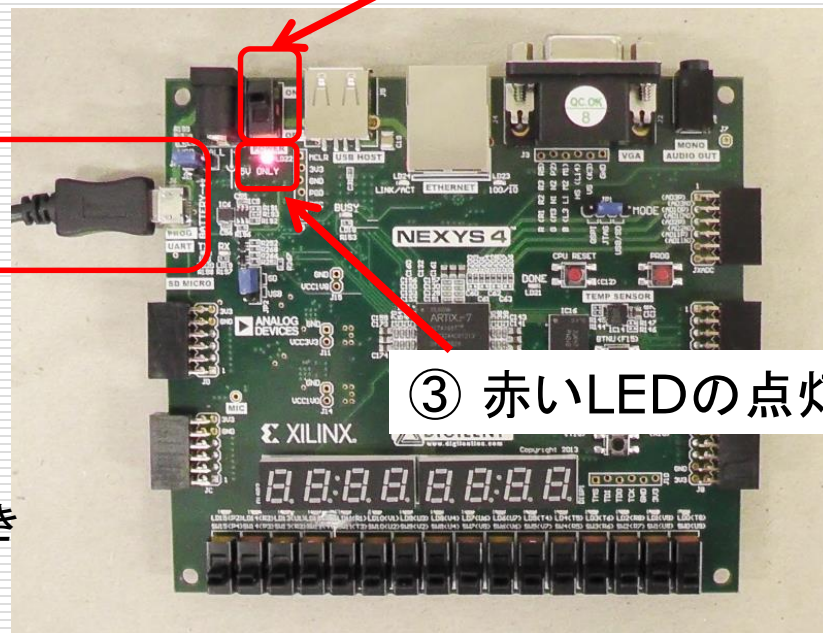
② POWER SWをON

へこんでいる部分を上にして挿す



横面が斜めになっている部分を下向き

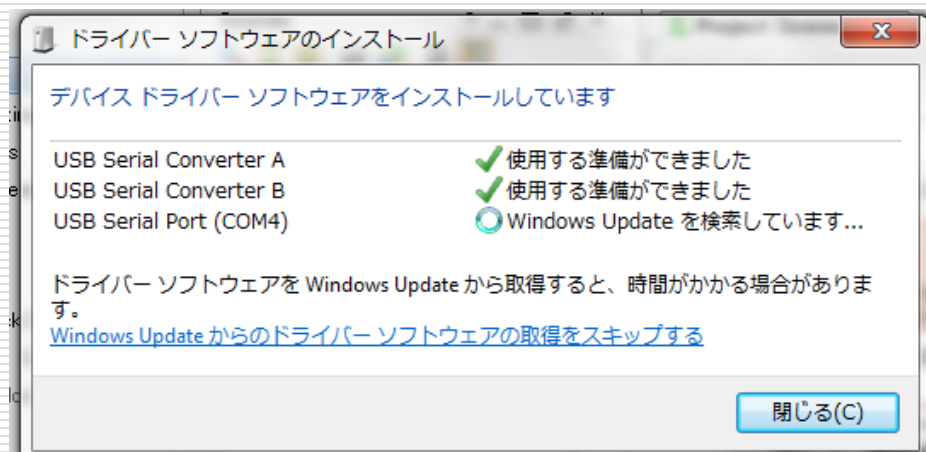
USBケーブルの向き



③ 赤いLEDの点灯確認

# USBドライバのインストール

ボードの電源を入れるとドライバのインストールが始まります

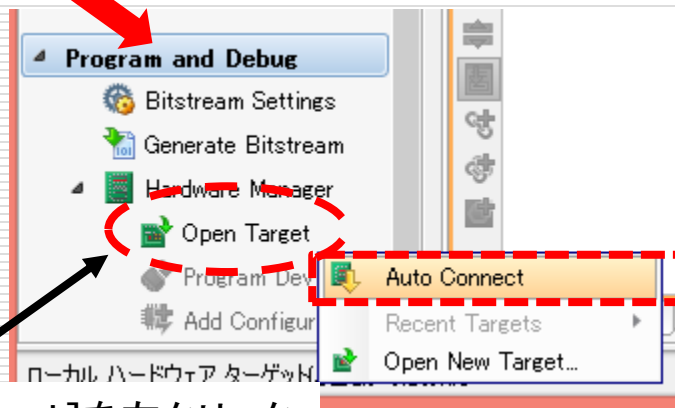
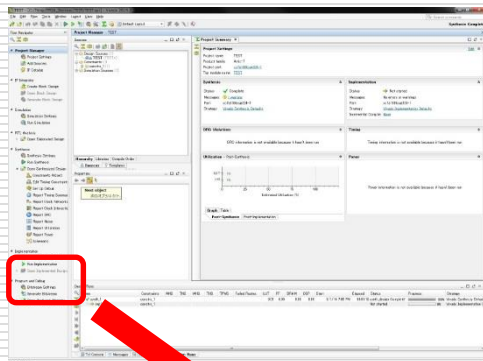


OSの種類により表示が異なります

Windows 7では「デバイスが使用できる準備ができました」と表示されるまで待ちましょう

Windows 8以降ではインストール終了後に何も表示されませんが問題ありません

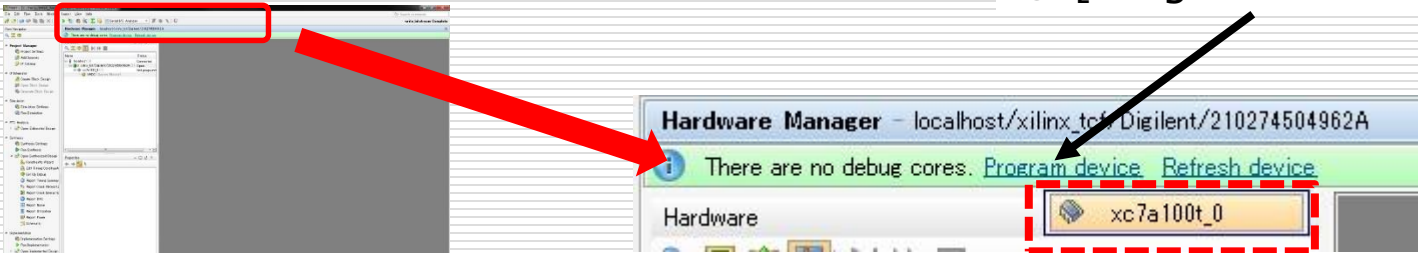
# ダウンロードツールの起動



① [Open Target]を左クリック


② [Auto connect]を選択

# 書き込み



① [Program device]をクリック

② [xc7a100t]を選択



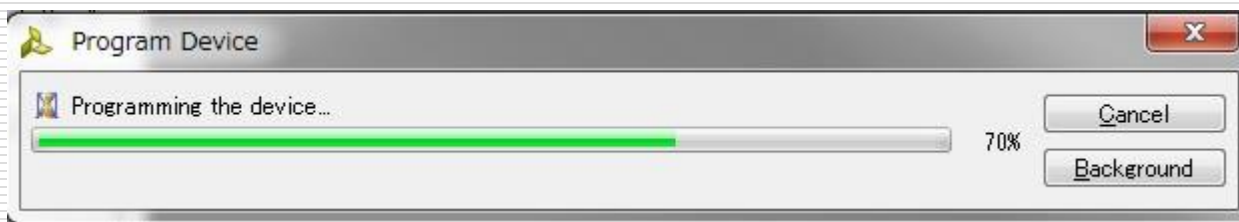
③ ファイル名がTEST.bitであることを確認

④ [Program]をクリック

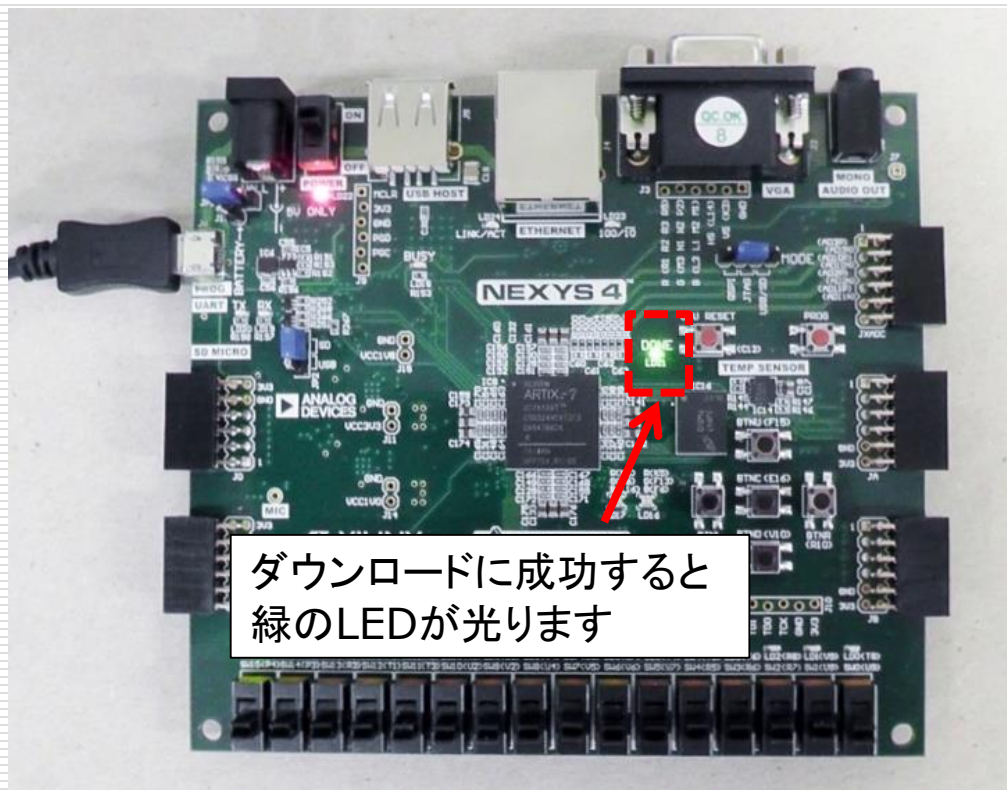
# データ書き込みの確認

---

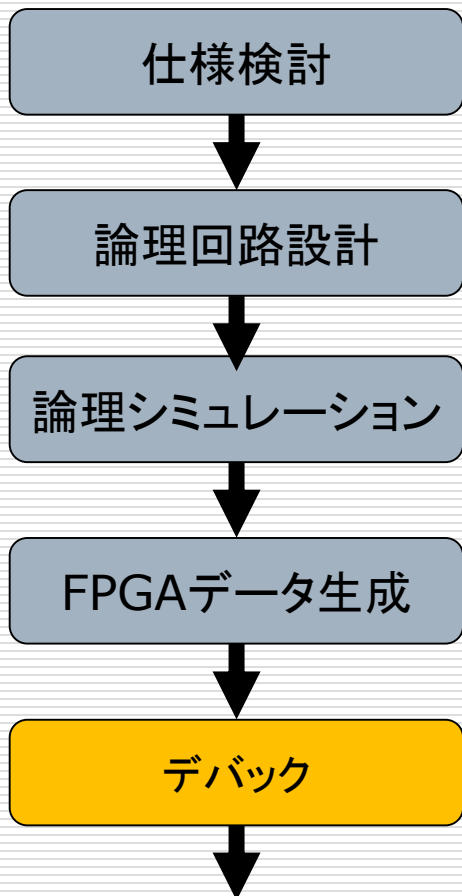
## 書き込み中の表示



# DONE LED確認



# デバック(動作確認)



多くの場合、最初は動かないので問題を特定して解決する過程です

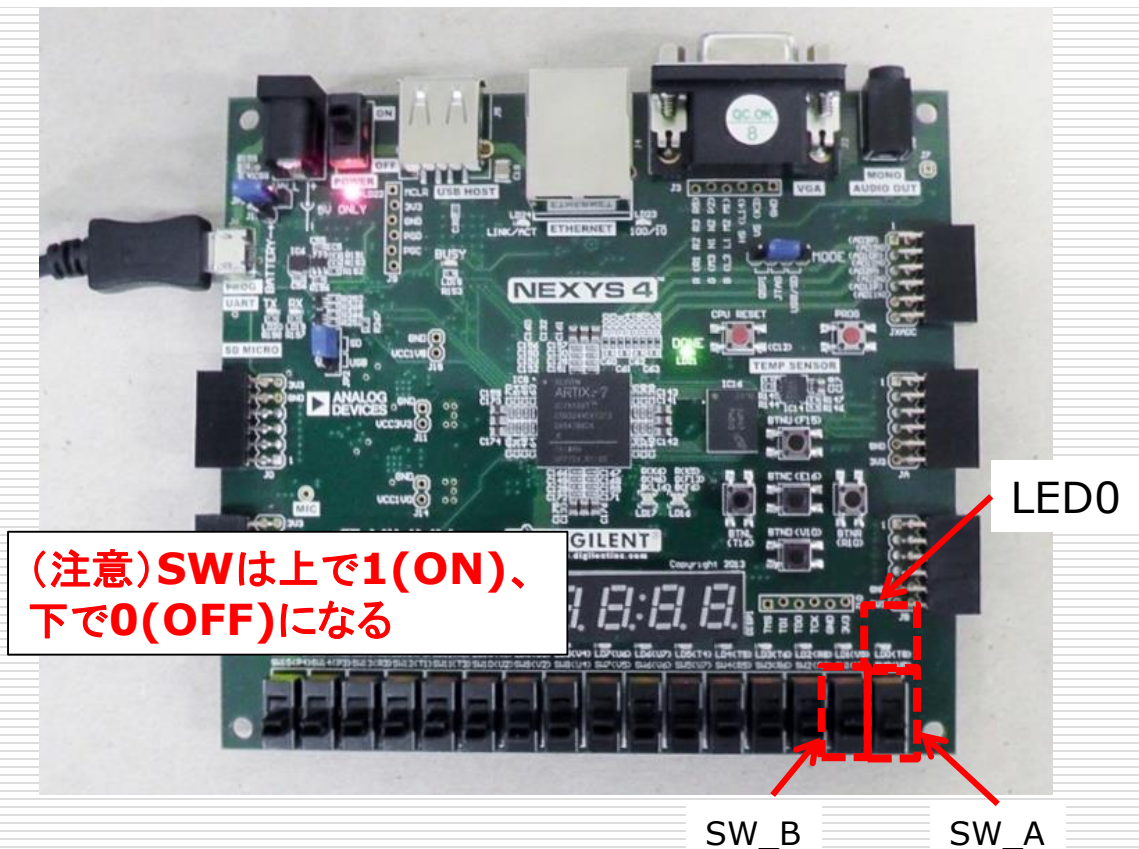
今日はSWを動かして動作確認します

完成！！



# 動作確認

SWを操作して設計した通りに動作するか試してください



# 完了！！

---

# 動きましたか？

# 履歴

---

- 2012/5/17 第1.0版 ISE13.4対応 内田智久(Esys, KEK/総研大), 林達也(大阪大学)
- 2014/8/7 第2.0版 Vivado2014対応、章構成変更 内田智久(Esys, KEK/総研大)
- 2015/7/31 第3.0版 Vivado2015対応、章構成変更 内田智久(Esys, KEK/総研大)
- 2015/8/6 第3.1版 誤字訂正 内田智久(Esys, KEK/総研大)
- 2015/12/03 第3.2版 Vivado2015.3対応 内田智久(Esys, KEK/総研大)
- 2016/01/27 第3.3版 Vivado2015.4対応 内田智久(Esys, KEK/総研大)
- 2016/06/22 第3.4版 Vivado2016.2対応 内田智久(Esys, KEK/総研大)